

23 JAN 2003

20/522335  
PCT/JP 03/03561

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

24.03.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 9日

PEC'D 16 MAY 2003

出 願 番 号

Application Number:

特願2002-233775

[ST.10/C]:

[JP2002-233775]

出 願 人

Applicant(s):

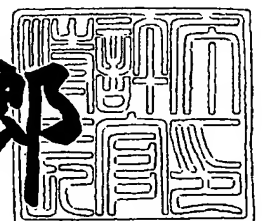
イビデン株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年 5月 2日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



BEST AVAILABLE COPY

出証番号 出証特2003-3031656

【書類名】 特許願

【整理番号】 112235

【あて先】 特許庁長官殿

【国際特許分類】 H05K 01/34

【発明者】

    【住所又は居所】 岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社内

    【氏名】 稲垣 靖

【特許出願人】

    【識別番号】 000000158

    【住所又は居所】 岐阜県大垣市神田町2丁目1番地

    【氏名又は名称】 イビデン株式会社

    【代表者】 岩田 義文

【代理人】

    【識別番号】 100095795

    【住所又は居所】 名古屋市中区栄1丁目22番6号

    【弁理士】

    【氏名又は名称】 田下 明人

【選任した代理人】

    【識別番号】 100098567

    【住所又は居所】 名古屋市中区栄1丁目22番6号

    【弁理士】

    【氏名又は名称】 加藤 壯祐

【手数料の表示】

    【予納台帳番号】 054874

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

特 2 0 0 2 - 2 3 3 7 7 5

【包括委任状番号】 9401314

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 多層プリント配線板

【特許請求の範囲】

【請求項 1】 コア基板上に、層間絶縁層と導体層が形成されて、ビアホールを介して、電氣的な接続を行われる多層プリント配線板において、

前記コア基板上の導体層の厚みは、層間絶縁層上の導体層の厚みよりも厚いことを特徴とする多層プリント配線板。

【請求項 2】 コア基板上に、層間絶縁層と導体層が形成されて、ビアホールを介して、電氣的な接続を行われる多層プリント配線板において、

前記コア基板上の導体層の厚みを  $\alpha 1$ 、層間絶縁層上の導体層の厚みを  $\alpha 2$  に対して、 $\alpha 2 < \alpha 1 \leq 10 \alpha 2$  であることを特徴とする多層プリント配線板。

【請求項 3】 前記  $\alpha 1$  は、 $1.2 \alpha 2 \leq \alpha 1 \leq 5.0 \alpha 2$  であることを特徴とする請求項 1 に記載の多層プリント配線板。

【請求項 4】 前記コア基板の導体層は、電源層用の導体層である請求項 1 または 2 に記載の多層プリント配線板。

【請求項 5】 コンデンサが表面に実装されていることを特徴とする請求項 1 ～請求項 4 のいずれか 1 に記載の多層プリント配線板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、多層プリント配線板に係り、高周波の IC チップ、特に 3 GHz 以上の高周波領域での IC チップを実装したとしても誤作動やエラーなどが発生することなく、電気特性や信頼性を向上させることができる多層プリント配線板に関することを提案する。

【0002】

【従来の技術】

IC チップ用のパッケージを構成するビルドアップ式の高層プリント配線板では、スルーホールが形成されたコア基板の両面もしくは片面に、層間絶縁樹脂を

形成し、層間導通のためのバイアホールをレーザもしくはフォトエッチングにより開口させて、層間樹脂絶縁層を形成させる。そのバイアホール上にめっきなどにより導体層を形成し、エッチングなどを経て、パターンを形成し、導体回路を作り出させる。さらに、層間絶縁層と導体層を繰り返し形成させることにより、ビルドアップ多層プリント配線板が得られる。必要に応じて、表層には半田バンブ、外部端子（PGA/BGAなど）を形成させることにより、ICチップを実装することができる基板やパッケージ基板となる。ICチップはC4（フリップチップ）実装を行うことにより、ICチップと基板との電氣的接続を行っている。

#### 【0003】

ビルドアップ式の多層プリント配線板の従来技術としては、特開平6-260756号、特開平6-275959号などがある。ともに、スルーホールを充填樹脂で充填されたコア基板上に、ランドが形成されて、両面にバイアホールを有する層間絶縁層を施して、アディティブ法により導体層を施し、ランドと接続することにより、高密度化、微細配線を形成された多層プリント配線板が得られる。

#### 【0004】

##### 【発明が解決しようとする課題】

しかしながら、ICチップが高周波になるにつれて、誤動作やエラーの発生の頻度が高くなってきた。特に周波数が3GHzを越えたあたりから、その度合いが高くなってきている。5GHzを越えると全く動かなくなることもあった。そのため、該ICチップをCPUとして備えるコンピュータで、機能すべきはずの動作、例えば、画像の認識、スイッチの切り替え、外部へのデータの伝達などの所望の機能や動作を行えなくなってしまった。

#### 【0005】

それらのICチップ、基板をそれぞれ非破壊検査や分解したいところICチップ、基板自体には、短絡やオープンなどの問題は発生しておらず、周波数の小さい（特に1GHz未満）ICチップを実装した場合には、誤動作やエラーの発生はなかった。

## 【0006】

本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、高周波領域のICチップ、特に3GHzを越えても誤動作やエラーの発生しないプリント基板もしくはパッケージ基板を構成し得る多層プリント配線板を提案することにある。

## 【0007】

## 【課題を解決するための手段】

発明者らは、上記目的の実現に向け鋭意研究した結果、以下に示す内容を要旨構成とする発明に想到した。すなわち、

本願発明は、コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して、電氣的な接続を行われる多層プリント配線板において、コア基板の導体層の厚みは、層間絶縁層上の導体層の厚みよりも厚いことを特徴とする多層プリント配線板にある。

## 【0008】

第1の効果として、コア基板の電源層の導体層が厚くなることにより、コア基板の強度が増す、それによりコア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

## 【0009】

第2の効果として、導体層を厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗が低減することができる。そのため流れる信号線などの電氣的な伝達などを阻害しなくなる。従って、伝達される信号などに損失を起こさない。それは、コアとなる部分の基板だけを厚くすることにより、その効果を奏する。

## 【0010】

第3の効果として、導体層を電源層として用いることで、ICチップへの電源の供給能力が向上させることができる。その根拠としては、第2の効果で述べた導体の抵抗の低減が、電源の供給も阻害しなくなる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップ～基板～電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足

が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域の IC チップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。

## 【0011】

また、ICチップ～基板～コンデンサもしくは電源層～電源を経て、ICチップに電源を供給する場合にも、同様の効果を奏する。前述のループインダクタンスを低減することができる。それ故に、コンデンサもしくは誘電体層の電源の供給に損失を起こさない。そもそも IC チップは、瞬時的に電力を消費して、複雑な演算処理や動作が行われる。電源層からの IC チップへの電力供給により、高周波領域の IC チップを実装したとしても、初期動作における電源不足（電圧降下）ということに対して、大量のコンデンサを実装することなく、電源の供給をすることができる。そもそも高周波領域の IC チップを用いるためには初期動作時の電源不足（電圧降下）が発生するが、従来の IC チップでは供給されていたコンデンサもしくは誘電体層の容量で足りていた。

## 【0012】

特に、コア基板の電源層として用いられる導体層の厚みが、コア基板の片面もしくは両面上の層間絶縁層上に導体層の厚みより、厚いときに、上記の3つの効果を最大限にさせることができるのである。

## 【0013】

また、本発明では、コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して、電気的な接続を行われる多層プリント配線板において、

コア基板上の導体層の厚みを  $\alpha 1$ 、層間絶縁層上の導体層の厚みを  $\alpha 2$  に対して、 $\alpha 2 < \alpha 1 \leq 10\alpha 2$  であることを特徴とする多層プリント配線板にある。

## 【0014】

$\alpha 1 \geq \alpha 2$  の場合は、電源不足（電圧降下）に対する効果が全くない。

$\alpha 1 < 10\alpha 2$  を越えた場合についても検討を行ったが、基本的には電気特性は、 $10\alpha 2$  と同等である。つまり、本願の効果の臨界点であると理解できる。これ以上厚くしてもその効果は望めない。ただ、この厚みを越えると、コア基板と接続を行うランド等が形成するのに困難が生じてしまう。上層の層間絶縁層を

形成すると、凹凸が大きくなってしまい、層間絶縁層にうねりを生じてしまうために、インピーダンスを整合することが出来なくなってしまう。

【0015】

導体層の厚み $\alpha 1$ は、 $1.2\alpha 2 \leq \alpha 1 \leq 5.0\alpha 2$ であることがさらに望ましい。その範囲であれば、電源不足（電圧降下）によるICチップの誤動作やエラーなどが発生しないことが確認されている。

【0016】

この場合のコア基板とは、ガラスエポキシ樹脂などの芯材が含浸した樹脂基板、セラミック基板、金属基板、樹脂、セラミック、金属を複合して用いた複合コア基板、それらの基板の内層に（電源用）導体層が設けられた基板、3層以上の多層化した導体層が形成された多層コア基板を用いることができる。

【0017】

電源層の導体の厚みを、厚くするために、金属を埋め込まれた基板上に、めっき、スパッタなどの一般的に行われる導体層を形成するプリント配線板の方法で形成したものを用いてもよい。

【0018】

多層コア基板の場合であれば、コア基板の外層と内層の導体層をそれぞれ足した厚みが、コアの導体層の厚みとなる。つまり、多層化しても、コア基板の導体層の厚みを厚くすることが本質であり、効果自体はなんら変わらないのである。この場合は、3層（外層＋内層）からなるコア基板でもよい。

必要に応じて、コア基板の内層にコンデンサや誘電体層、抵抗などの部品を埋め込み、形成させた電子部品収納コア基板を用いてもよい。

【0019】

本願発明でのコア基板とは、以下のように定義される。芯材等が含浸された硬質基材であり、その両面もしくは片面に、芯材などを含まない絶縁樹脂層を用いて、フォトビアもしくはレーザによりバイアホールを形成して、導体層を形成して、層間の電気接続を行うときのものである。相対的に、コア基板の厚みは、樹脂絶縁層の厚みよりも厚い。基本的には、コア基板は電源層を主とする導体層が形成されて、その他信号線などは表裏の接続を行うためだけに形成されている。



## 【0020】

なお、同一厚みの材料で形成されたもので、積層された多層プリント配線板であるならば、プリント基板における導体層として電源層を有する層もしくは基板をコア基板として定義される。

## 【0021】

図14は、縦軸にICチップへ供給される電圧、横軸には時間経過を示している。図14は、1GHz以上の高周波ICチップ電源用のコンデンサを備えないプリント配線板をモデルにしたものである。線Aは、1GHzのICチップへの電圧の経時変化を示したものであり、線Bは、3GHzのICチップへの電圧の経時変化を示したものである。その経時変化は、ICチップが起動し始めたとき、瞬時に大量の電源が必要となる。その供給が不足していると電圧が降下する（X点、X'点）。その後、供給する電源が徐々に充足されるので、電圧効果は解消される。しかしながら、電圧が降下したときには、ICチップの誤作動やエラーを引き起こしやすくなる。つまり、電源の供給不足によるICチップの機能が十分に機能、起動しないがために起こる不具合である。この電源不足（電圧降下）はICチップの周波数は増えるにつれて、大きくなっていく。そのために、電圧降下を解消するためには、時間が掛かってしまい、所望の機能、起動を行うために、タイムラグが生じてしまう。

## 【0022】

前述の電源不足（電圧降下）を補うために、外部のコンデンサと接続させて、該コンデンサ内に蓄積された電源を放出することにより、電源不足（電圧降下）を小さくすることができる。

図15には、コンデンサを備えたプリント基板をモデルにしたものである。線Cは、小容量のコンデンサを実装して、1GHzのICチップにおける電圧の経時変化を示したものである。コンデンサを実装していない線Aに比べると電圧降下の度合いが小さくなってきている。さらに、線Dは、線Cで行ったものに比べて大容量のコンデンサを実装して、線C同様に経時変化を示したものである。さらに線Cと比較しても、電圧降下の度合いが小さくなってきている。それにより、短時間で所望のICチップも機能、起動を行うことができるのである。しかしな

がら、図14に示したように、ICチップがより高周波領域になると、より多くのコンデンサ容量が必要になってしまい、そのためにコンデンサの実装する領域を設定する必要となるため、電圧の確保が困難になってしまい、動作、機能を向上することができないし、高密度化という点でも難しくなってしまう。

## 【0023】

コア基板の導体層および電源の導体層の厚み $\alpha 1$ 、層間絶縁層上の導体層の厚み $\alpha 2$ としたときグラフを図16に示す。図16中に、線Cは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = \alpha 2$ における電圧の経時変化を示している。また、線Eは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = 1.5 \alpha 2$ における電圧の経時変化を示し、線Fは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = 2.0 \alpha 2$ における電圧の経時変化を示している。コアの導体層の厚みが厚くなるにつれて、電源不足（電圧降下）が小さくなってきている。そのために、ICチップの機能、動作の不具合の発生が少なくなるということがいえる。コア基板の導体層および電源層の導体層の厚みを厚くすることにより、導体層の体積が増すことになる。体積が増すと導体抵抗が低減させるので、伝達される電源における電圧、電流への損失がなくなる。そのために、ICチップ～電源間での伝達損失が小さくなり、電源の供給が行われるので、誤動作やエラーなどを引き起こさない。この場合は、特に電源層の導体層の厚みによる要因が大きく、コア基板における電源層の導体層の厚みを他の層間絶縁層上の導体回路よりも厚くすることにより、その効果を奏する。

## 【0024】

また、コア基板の片面もしくは両面の表層の形成された導体層および電源の導体層を厚くした場合だけでなく、3層以上の多層コア基板にした場合、内層に導体層あるいは内層に電源層用の導体層を形成したコア基板にした場合でも同様の効果を奏することがわかった。つまり、電源不足（電圧降下）を小さくする効果があるのである。なお、多層コア基板の場合は、コア基板のすべての層の導体層および電源層の導体層の厚みが、層間絶縁層上の導体層の厚みよりも厚いときでも、コア基板のすべての層の導体層および電源層の導体層の厚みが、層間絶縁層

上の導体層の厚みと同等以下のときでも、全ての層の導体の厚みを足した厚みの総和が、層間絶縁層上の導体層の厚みより、厚くなったときに、その効果を奏する。

## 【0025】

さらに、コア基板内にコンデンサや誘電体層、抵抗などの電子部品を内蔵した基板であっても、その効果は顕著に表れる。内蔵させることにより、ICチップとコンデンサもしくは誘電体層との距離を短くすることができる。そのために、ループインダクタンスを低減することができる。電源不足（電圧降下）を小さくすることができる。例えば、コンデンサや誘電体層を内蔵したコア基板においても、コアの基板の導体層および電源層の導体層の厚みを層間絶縁層上の導体層の厚みよりも厚くすることにより、メインの電源と内蔵されたコンデンサや誘電体層の電源との双方の導体抵抗を減らすことができるので、伝達損失を低減することができるので、コンデンサを内蔵した基板の効果をいっそう発揮されるようになる。

## 【0026】

コア基板の材料は、樹脂基板で検証を行ったが、セラミック、金属コア基板でも同様の効果を奏することがわかった。また、導体層の材質も銅からなる金属で行ったが、その他の金属でも、効果が相殺されて、誤動作やエラーが発生が増加するということは確認されていないことから、コア基板の材料の相違もしくは導体層を形成する材質の相違には、その効果の影響はないものと思われる。より望ましいのは、コア基板の導体層と層間絶縁層の導体層とは、同一金属で形成されることである。電気特性、熱膨張係数などの特性や物性が変わらないことから、本願の効果を奏される。

## 【0027】

## 【発明の実施の形態】

## 【0028】

## 【実施例】

## [第1実施] ガラスエポキシ樹脂基板

先ず、本発明の第1実施例に係る多層プリント配線板10の構成について、

図1～図7を参照して説明する。図6は、該多層プリント配線板10の断面図を、図7は、図6に示す多層プリント配線板10にICチップ90を取り付け、ドーターボード94へ載置した状態を示している。図6に示すように、多層プリント配線板10では、コア基板30の表面に導体回路34、導体層34P、裏面に導体回路34、導体層34Eが形成されている。上側の導体層34Pは、電源用のプレーン層として形成され、下側の導体層34Eは、アース用のプレーン層として形成されている。更に、該導体層34P、34Eの上にバイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び導体回路158の形成された層間樹脂絶縁層150とが配設されている。該バイアホール160及び導体回路158の上層には溶剤レジスト層70が形成されており、該溶剤レジスト層70の開口部71を介して、バイアホール160及び導体回路158にパンプ76U、76Dが形成されている。

#### 【0029】

図7中に示すように、多層プリント配線板10の上面側のハンダパンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンピュータ98が実装される。一方、下側のハンダパンプ76Dは、ドーターボード94のランド96へ接続されている。

#### 【0030】

ここで、コア基板30上の導体層34P、34Eは、厚さ30 $\mu$ mに形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158は15 $\mu$ mに形成されている。

#### 【0031】

第1実施例の多層プリント配線板では、コア基板30の電源層（導体層）34P、導体層34Eが厚くなることにより、コア基板の強度が増す、それによりコア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

#### 【0032】

また、導体層34P、34Eを厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗が低減することがで

きる。

### 【0033】

更に、導体層34Pを電源層として用いることで、ICチップ90への電源の供給能力が向上させることができる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップ～基板～電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。

### 【0034】

引き続き、図6を参照して上述した多層プリント配線板10の製造方法について図1～図5を参照して説明する。

#### (実施例1-1)

A. 層間樹脂絶縁層の樹脂フィルムの作製ビスフェノールA型エポキシ樹脂（エポキシ当量469、油化シェルエポキシ社製エピコート1001）30重量部、クレゾールノボラック型エポキシ樹脂（エポキシ当量215、大日本インキ化学工業社製 エピクロンN-673）40重量部、トリアジン構造含有フェノールノボラック樹脂（フェノール性水酸基当量120、大日本インキ化学工業社製 フェノライトKA-7052）30重量部をエチルジグリコールアセテート20重量部、ソルベントナフサ20重量部に攪拌しながら加熱溶解させ、そこへ末端エポキシ化ポリブタジエンゴム（ナガセ化成工業社製 デナレックスR-45EPT）1.5重量部と2-フェニル-4,5-ビス（ヒドロキシメチル）イミダゾール粉碎品1.5重量部、微粉碎シリカ2重量部、シリコン系消泡剤0.5重量部を添加しエポキシ樹脂組成物を調製した。

得られたエポキシ樹脂組成物を厚さ38 $\mu$ mのPETフィルム上に乾燥後の厚さが50 $\mu$ mとなるようにロールコーターを用いて塗布した後、80～120℃で10分間乾燥させることにより、層間樹脂絶縁層用樹脂フィルムを作製した。

### 【0035】

#### B. 樹脂充填材の調製

ビスフェノールF型エポキシモノマー（油化シェル社製、分子量：310、YL

983U) 100重量部、表面にシランカップリング剤がコーティングされた平均粒径が $1.6\mu\text{m}$ で、最大粒子の直径が $15\mu\text{m}$ 以下の $\text{SiO}_2$ 球状粒子(アドテック社製、CRS 1101-CE) 170重量部およびレベリング剤(サンノブコ社製 ペレノールS4) 1.5重量部を容器にとり、攪拌混合することにより、その粘度が $23\pm 1^\circ\text{C}$ で $44\sim 49\text{Pa}\cdot\text{s}$ の樹脂充填材を調製した。なお、硬化剤として、イミダゾール硬化剤(四国化成社製、2E4MZ-CN) 6.5重量部を用いた。

## 【0036】

## C. 多層プリント配線板の製造

(1) 厚さ $0.6\text{mm}$ のガラスエポキシ樹脂またはBT(ビスマレイミドトリアジン)樹脂からなる絶縁性基板30の両面に $40\mu\text{m}$ の銅箔32がラミネートされている銅張積層板30Aを出発材料とした(図1(A))。まず、この銅張積層板をドリル削孔し、無電解めっき処理および電解めっき処理を施し、パターン状にエッチングすることにより、基板の両面に導体回路34、導体層34P、34Eとスルーホール36を形成した(図1(B))。

## 【0037】

(2) スルーホール36および下層導体回路34を形成した基板30を水洗いし、乾燥した後、 $\text{NaOH}$ ( $10\text{g/l}$ )、 $\text{NaClO}_2$ ( $40\text{g/l}$ )、 $\text{Na}_3\text{PO}_4$ ( $6\text{g/l}$ )を含む水溶液を黒化浴(酸化浴)とする黒化处理、および、 $\text{NaOH}$ ( $10\text{g/l}$ )、 $\text{NaBH}_4$ ( $6\text{g/l}$ )を含む水溶液を還元浴とする還元処理を行い、そのスルーホール36内に粗化面36 $\alpha$ を形成すると共に、導体回路34、導体層34P、34Eの全表面に粗化面34 $\alpha$ を形成した(図1(C))。

## 【0038】

(3) 上記Bに記載した樹脂充填材を調製した後、下記の方法により調製後24時間以内に、スルーホール36内、および、基板の導体回路非形成部に樹脂充填材40の層を形成した(図1(D))。

即ち、スルーホールおよび導体回路非形成部に相当する部分が開口した版を有する樹脂充填用マスクを基板上に載置し、スキージを用いてスルーホール内、凹

部となっている下層導体回路非形成部、および、下層導体回路の外縁部に樹脂充填材を充填し、100℃/20分の条件で乾燥させた。

## 【0039】

(4) 上記(3)の処理を終えた基板の片面を、#600のベルト研磨紙(三共理化学製)を用いたベルトサンダー研磨により、導体層34P、34Eの外縁部やスルーホール36のランドの外縁部に樹脂充填材40が残らないように研磨し、次いで、上記ベルトサンダー研磨による傷を取り除くため、導体層34P、34Eの全表面(スルーホールのランド表面を含む)にバフ研磨を行った。このような一連の研磨を基板の他方の面についても同様に行った。次いで、100℃で1時間、150℃で1時間の加熱処理を行って樹脂充填材40を硬化した(図2(A))。

## 【0040】

このようにして、スルーホール36や導体回路非形成部に形成された樹脂充填材40の表層部および導体層34P、34Eの表面を平坦化し、樹脂充填材40と導体層34P、34Eの側面とが粗化面を介して強固に密着し、またスルーホール36の内壁面と樹脂充填材とが粗化面を介して強固に密着した基板を得た。即ち、この工程により、樹脂充填材の表面と下層導体回路の表面とが略同一平面となる。

このとき、コア基板の導体層の厚みは30μm、コア基板上に形成された電源層の導体層の厚みは30μmであった。

## 【0041】

(5) 上記基板を水洗、酸性脱脂した後、ソフトエッチングし、次いで、エッチング液を基板の両面にスプレーで吹きつけて、導体回路34、導体層34P、34Eの表面とスルーホール36のランド表面と内壁とをエッチングすることにより、導体回路の全表面に粗化面36βを形成した(図2(B))。エッチング液としては、イミダゾール銅(II)錯体10重量部、グリコール酸7重量部、塩化カリウム5重量部からなるエッチング液(メック社製、メックエッチボンド)を使用した。

## 【0042】

(6) 基板の両面に、Aで作製した基板より少し大きめの層間樹脂絶縁層用樹脂フィルム50 $\mu$ mを基板上に載置し、圧力0.4MPa、温度80℃、圧着時間10秒の条件で仮圧着して裁断した後、さらに、以下の方法により真空ラミネーター装置を用いて貼り付けることにより層間樹脂絶縁層を形成した(図2(C))。すなわち、層間樹脂絶縁層用樹脂フィルムを基板上に、真空度67Pa、圧力0.4MPa、温度80℃、圧着時間60秒の条件で本圧着し、その後、170℃で30分間熱硬化させた。

## 【0043】

(7) 次に、層間樹脂絶縁層上に、厚さ1.2mmの貫通孔が形成されたマスクを介して、波長10.4 $\mu$ mのCO<sub>2</sub>ガスレーザにて、ビーム径4.0mm、トップハットモード、パルス幅8.0 $\mu$ s、マスクの貫通孔の径1.0mm、1ショットの条件で層間樹脂絶縁層2に、直径80 $\mu$ mのバイアホール用開口50 $\mu$ mを形成した(図2(D))。

## 【0044】

(8) バイアホール用開口6を形成した基板を、60g/lの過マンガン酸を含む80℃の溶液に10分間浸漬し、層間樹脂絶縁層2の表面に存在するエポキシ樹脂粒子を溶解除去することにより、バイアホール用開口50 $\mu$ mの内壁を含む層間樹脂絶縁層50の表面に粗化面50aを形成した(図2(E))。

## 【0045】

(9) 次に、上記処理を終えた基板を、中和溶液(シブレイ社製)に浸漬してから水洗いした。

さらに、粗面化処理(粗化深さ3 $\mu$ m)した該基板の表面に、パラジウム触媒を付与することにより、層間樹脂絶縁層の表面およびバイアホール用開口の内壁面に触媒核を付着させた。すなわち、上記基板を塩化パラジウム(PbCl<sub>2</sub>)と塩化第一スズ(SnCl<sub>2</sub>)とを含む触媒液中に浸漬し、パラジウム金属を析出させることにより触媒を付与した。

## 【0046】

(10) 次に、以下の組成の無電解銅めっき水溶液中に、触媒を付与した基板を浸漬して、粗面全体に厚さ0.6~3.0 $\mu$ mの無電解銅めっき膜を形成し、バ



イアホール用開口 50 a の内壁を含む層間樹脂絶縁層 50 の表面に無電解銅めっき膜 52 が形成された基板を得た (図 3 (A))。

〔無電解めっき水溶液〕

NiSO <sub>4</sub>	0.003 mol/l
酒石酸	0.200 mol/l
硫酸銅	0.030 mol/l
HCHO	0.050 mol/l
NaOH	0.100 mol/l
α、α'-ピピリジル	100 mg/l
ポリエチレングリコール (PEG)	0.10 g/l

〔無電解めっき条件〕

34℃の液温度で40分

【0047】

(11) 無電解銅めっき膜 52 が形成された基板に市販の感光性ドライフィルムを張り付け、マスクを載置して、100 mJ/cm<sup>2</sup> で露光し、0.8%炭酸ナトリウム水溶液で現像処理することにより、厚さ 25 μm のめっきレジスト 54 を設けた (図 3 (B))。

【0048】

(12) ついで、基板を 50℃の水で洗浄して脱脂し、25℃の水で水洗後、さらに硫酸で洗浄してから、以下の条件で電解めっきを施し、めっきレジスト 54 非形成部に、厚さ 20 μm の電解銅めっき膜 56 を形成した (図 3 (C))。

〔電解めっき液〕

硫酸	2.24 mol/l
硫酸銅	0.26 mol/l
添加剤	19.5 ml/l

(アトテックジャパン社製、カバラシドGL)

〔電解めっき条件〕

電流密度	1 A/dm <sup>2</sup>
時間	65 分

温度

 $22 \pm 2$  °C

## 【0049】

(13) さらに、めっきレジスト3を5% KOHで剥離除去した後、そのめっきレジスト下の無電解めっき膜を硫酸と過酸化水素との混合液でエッチング処理して溶解除去し、独立の導体回路58及びバイアホール60とした(図3(D))。

## 【0050】

(14) ついで、上記(5)と同様の処理を行い、導体回路58及びバイアホール60の表面に粗化面58 $\alpha$ 、60 $\alpha$ を形成した。上層の導体回路58の厚みは15 $\mu$ mの厚みであった(図4(A))。

## 【0051】

(15) 上記(6)～(14)の工程を繰り返すことにより、さらに上層の導体回路を形成し、多層配線板を得た(図4(B))。

## 【0052】

(16) 次に、ジエチレングリコールジメチルエーテル(DMDG)に60重量%の濃度になるように溶解させた、クレゾールノボラック型エポキシ樹脂(日本化薬社製)のエポキシ基50%をアクリル化した感光性付与のオリゴマー(分子量:4000)46.67重量部、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂(油化シェル社製、商品名:エピコート1001)15.0重量部、イミダゾール硬化剤(四国化成社製、商品名:2E4MZ-CN)1.6重量部、感光性モノマーである2官能アクリルモノマー(日本化薬社製、商品名:R604)4.5重量部、同じく多価アクリルモノマー(共栄化学社製、商品名:DPE6A)1.5重量部、分散系消泡剤(サンノブコ社製、S-65)0.71重量部を容器にとり、攪拌、混合して混合組成物を調製し、この混合組成物に対して光重合開始剤としてベンゾフェノン(関東化学社製)2.0重量部、光増感剤としてのミヒラーケトン(関東化学社製)0.2重量部、を加えることにより、粘度を25°Cで2.0 Pa·sに調整したソルダーレジスト組成物を得た。

なお、粘度測定は、B型粘度計(東京計器社製、DVL-B型)で60 min-1

の場合はローターNo. 4、6 min<sup>-1</sup>の場合はローターNo. 3によった。

#### 【0053】

(17) 次に、多層配線基板の両面に、上記 solderレジスト組成物70を20  $\mu\text{m}$ の厚さで塗布し、70℃で20分間、70℃で30分間の条件で乾燥処理を行った後(図4(C))、solderレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをsolderレジスト層70に密着させて1000 mJ/cm<sup>2</sup>の紫外線で露光し、DMTG溶液で現像処理し、200  $\mu\text{m}$ の直径の開口71を形成した(図5(A))。

そして、さらに、80℃で1時間、100℃で1時間、120℃で1時間、150℃で3時間の条件でそれぞれ加熱処理を行ってsolderレジスト層を硬化させ、開口を有し、その厚さが20  $\mu\text{m}$ のsolderレジストパターン層を形成した。上記 solderレジスト組成物としては、市販のsolderレジスト組成物を使用することもできる。

#### 【0054】

(18) 次に、solderレジスト層70を形成した基板を、塩化ニッケル(2.3  $\times 10^{-1}\text{mol/l}$ )、次亜リン酸ナトリウム(2.8  $\times 10^{-1}\text{mol/l}$ )、クエン酸ナトリウム(1.6  $\times 10^{-1}\text{mol/l}$ )を含むpH=4.5の無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ5  $\mu\text{m}$ のニッケルめっき層72を形成した。さらに、その基板をシアン化金カリウム(7.6  $\times 10^{-3}\text{mol/l}$ )、塩化アンモニウム(1.9  $\times 10^{-1}\text{mol/l}$ )、クエン酸ナトリウム(1.2  $\times 10^{-1}\text{mol/l}$ )、次亜リン酸ナトリウム(1.7  $\times 10^{-1}\text{mol/l}$ )を含む無電解金めっき液に80℃の条件で7.5分間浸漬して、ニッケルめっき層72上に、厚さ0.03  $\mu\text{m}$ の金めっき層74を形成した(図5(B))。

#### 【0055】

(19) この後、基板のICチップを載置する面のsolderレジスト層70の開口71に、スズ-鉛を含有するはんだペーストを印刷し、さらに他方の面のsolderレジスト層の開口にスズ-アンチモンを含有するはんだペーストを印刷した後、200℃でリフローすることによりはんだバンプ(はんだ体)を形成し、は

んだバンプ76U、76Dを有する多層プリント配線板を製造した(図6)。

【0056】

半田バンプ76Uを介してICチップ90を取り付け、チップコンデンサ98を実装する。そして、半田バンプ76Dを介してデータボード94へ取り付ける(図7)。

【0057】

(実施例1-2)

図6を参照して上述した実施例1-1と同様であるが以下の様に製造した。

コア基板の導体層の厚み： $55\mu\text{m}$  コア基板の導体回路の厚み： $55\mu\text{m}$

層間絶縁層の導体層の厚み： $15\mu\text{m}$

【0058】

(実施例1-3)

実施例1-1と同様であるが、以下のように製造した。

コア基板の導体層の厚み： $75\mu\text{m}$  コア基板の導体回路の厚み： $75\mu\text{m}$

層間絶縁層の導体層の厚み： $15\mu\text{m}$

【0059】

[第2実施]セラミック基板

第2実施例に係る多層プリント配線板について説明する。

図6を参照して上述した第1実施例では、コア基板が絶縁樹脂で形成されていた。これに対して、第2実施例では、コア基板がセラミック、ガラス、ALN、ムライトなどからなる無機系硬質基板であるが、他の構成は図6を参照して上述した第1実施例と同様であるため、図示及び説明は省略する。

【0060】

第2実施例の多層プリント配線板においても、コア基板30上の導体層34P、34P及びコア基板内の導体層24は、銅、タングステムなどの金属で形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158は銅で形成されている。この第2実施例においても第1実施例と同様な効果を得ている。

【0061】

(実施例 2-1)

上述した第 2 実施例と同様であるが以下の様に製造した。

コア基板の導体層の厚み：30  $\mu\text{m}$     コア基板の導体回路の厚み：30  $\mu\text{m}$   
層間絶縁層の導体層の厚み：15  $\mu\text{m}$

【0062】

(実施例 2-2)

上述した第 2 実施例と同様であるが以下の様に製造した。

コア基板の導体層の厚み：50  $\mu\text{m}$     コア基板の導体回路の厚み：50  $\mu\text{m}$   
層間絶縁層の導体層の厚み：15  $\mu\text{m}$

【0063】

(実施例 2-3)

上述した第 2 実施例と同様であるが以下の様に製造した。

コア基板の導体層の厚み：75  $\mu\text{m}$     コア基板の導体回路の厚み：75  $\mu\text{m}$   
層間絶縁層の導体層の厚み：15  $\mu\text{m}$

【0064】

[第 3 実施] 金属コア基板

図 8 及び図 9 を参照して第 3 実施例に係る多層プリント配線板について説明する。

図 6 を参照して上述した第 1 実施例では、コア基板が樹脂板で形成されていた。これに対して、第 3 実施例では、コア基板が金属板から成る。

【0065】

図 8 は、第 3 実施例に係る多層プリント配線板 10 の断面図を、図 9 は、図 8 に示す多層プリント配線板 10 に IC チップ 90 を取り付け、ドータボード 94 へ載置した状態を示している。図 8 に示すように、多層プリント配線板 10 では、コア基板 30 は金属板からなり、電源層として用いられる。コア基板 30 の両面には、ビアホール 60 及び導体回路 58 が配置された層間樹脂絶縁層 50 が形成され、層間樹脂絶縁層 50 の上には、ビアホール 160 及び導体回路 158 が配置された層間樹脂絶縁層 150 が形成されている。コア基板 30 の通孔 33 内には、ビアホール 36 が形成され、ビアホールの両端には蓋めっき層 3

7が配置されている。該バイアホール160及び導体回路158の上層にはソルダレジスト層70が形成されており、該ソルダレジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形成されている。

## 【0066】

図9中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンピュータ98が実装される。一方、下側のハンダバンプ76Dは、ドーターボード94のランド96へ接続されている。

## 【0067】

ここで、コア基板30は、 $550\mu\text{m}$ に形成されている。この第3実施例においても、第1実施例と同様な効果を得ている。

## 【0068】

## (実施例3-1)

図8を参照して上述した第3実施例と同様であるが以下のように設定した。

コア基板の厚み： $550\mu\text{m}$     コア基板の導体回路の厚み： $35\mu\text{m}$

層間絶縁層の導体層の厚み： $15\mu\text{m}$

## 【0069】

## (実施例3-2)

コア基板の厚み： $600\mu\text{m}$     コア基板の導体回路の厚み： $55\mu\text{m}$

層間絶縁層の導体層の厚み： $15\mu\text{m}$

## 【0070】

## (実施例3-3)

コア基板の厚み： $550\mu\text{m}$     コア基板の導体回路の厚み： $100\mu\text{m}$

層間絶縁層の導体層の厚み： $15\mu\text{m}$

## 【0071】

## [第4実施] 多層コア基板

図10及び図11を参照して第4実施例に係る多層プリント配線板について説明する。

図6を参照して上述した第1実施例では、コア基板が単板で形成されていた。これに対して、第4実施例では、コア基板が積層板からなり、積層板内に導体層が設けられている。

#### 【0072】

図10は、第4実施例に係る多層プリント配線板10の断面図を、図11は、図10に示す多層プリント配線板10にICチップ90を取り付け、ドーターボード94へ載置した状態を示している。図10に示すように、多層プリント配線板10では、コア基板30の表面及び裏面に導体回路34、導体層34Pが形成され、コア基板30内に導体層24が形成されている。導体層34P及び導体層24は、電源用のプレーン層として形成されている。導体層34Pと導体層24とは導電ポスト26により接続されている。更に、該導体層34Pの上にバイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び導体回路158の形成された層間樹脂絶縁層150とが配置されている。該バイアホール160及び導体回路158の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール160及び導体回路158にパンプ76U、76Dが形成されている。

#### 【0073】

図11中に示すように、多層プリント配線板10の上面側のハンダパンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンピュータ98が実装される。一方、下側のハンダパンプ76Dは、ドーターボード94のランド96へ接続されている。

#### 【0074】

ここで、コア基板30上の導体回路34、導体層34P、34P及びコア基板内の導体層24が形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158が形成されている。この第3実施例においても、3層の導体層34P、34P、24の厚みを合わせることで、第1実施例と同様な効果を得ている。

#### 【0075】

(実施例4-1)

図 1 0 を参照して上述した第 4 実施例と同様であるが以下のように設定した。

コア基板の導体層の厚み：15  $\mu\text{m}$     コア基板の導体回路の厚みの和：50  $\mu\text{m}$

中間導体層の厚み：20  $\mu\text{m}$

層間絶縁層の導体層の厚み：15  $\mu\text{m}$

【0076】

(実施例 4 - 2)

コア基板の導体層の厚み：20  $\mu\text{m}$     コア基板の導体回路の厚みの和：60  $\mu\text{m}$

中間導体層の厚み：20  $\mu\text{m}$

層間絶縁層の導体層の厚み：15  $\mu\text{m}$

【0077】

(実施例 4 - 3)

コア基板の導体層の厚み：25  $\mu\text{m}$     コア基板の導体回路の厚みの和：75  $\mu\text{m}$

中間導体層の厚み：25  $\mu\text{m}$

層間絶縁層の導体層の厚み：15  $\mu\text{m}$

【0078】

[第 5 実施] コンデンサ内蔵コア基板

図 1 2 及び図 1 3 を参照して第 5 実施例に係る多層プリント配線板について説明する。

第 5 実施例の多層プリント配線板では、コア基板 30 にチップコンデンサ 20 が内蔵されている。

【0079】

図 1 2 は、第 5 実施例に係る多層プリント配線板 10 の断面図を、図 1 3 は、図 1 2 に示す多層プリント配線板 10 に IC チップ 90 を取り付けた状態を示している。図 1 0 に示すように、多層プリント配線板 10 では、コア基板 30 が樹脂基板 30 A 及び樹脂層 30 B からなる。樹脂基板 30 A にはコンデンサ 20 を収容するための開口 31 a が設けられている。コンデンサ 20 の電極は、樹脂層 30 B に設けられたバイアホール 33 により接続が取られている。コア基板 30 の上面には、導体回路 34 及び電源層を形成する導体層 34 P が形成され、また、コア基板 30 の両面には、バイアホール 60 及び導体回路 58 が配置された層



間樹脂絶縁層 5 0 が形成されている。コア基板 3 0 には、バイアホール 3 6 が形成されている。層間樹脂絶縁層 5 0 の上層には溶剤レジスト層 7 0 が形成されており、該溶剤レジスト層 7 0 の開口部 7 1 を介して、バイアホール 1 6 0 及び導体回路 1 5 8 にバンプ 7 6 U、7 6 D が形成されている。

## 【 0 0 8 0 】

図 1 3 中に示すように、多層プリント配線板 1 0 の上面側のハンダバンプ 7 6 U は、IC チップ 9 0 のランド 9 2 へ接続される。更に、チップコンピュータ 9 8 が実装される。一方、下側のハンダバンプへの接続用の導電性接続ピン 9 9 が取り付けられている。

## 【 0 0 8 1 】

ここで、導体層 3 4 E は、 $30\mu\text{m}$  に形成されている。この第 5 実施例においては、コア基板 3 0 内にコンデンサ 2 0 を内蔵するため、第 1 実施例を上回る効果が得られる。

## 【 0 0 8 2 】

(実施例 5 - 1)

図 1 2 を参照して上述した第 5 実施例と同様であるが以下のように設定した。

コア基板の導体層の厚み： $30\mu\text{m}$     コア基板の導体回路の厚み： $30\mu\text{m}$   
層間絶縁層の導体層の厚み： $15\mu\text{m}$

## 【 0 0 8 3 】

(実施例 5 - 2)

コア基板の導体層の厚み： $55\mu\text{m}$     コア基板の導体回路の厚み： $55\mu\text{m}$   
層間絶縁層の導体層の厚み： $15\mu\text{m}$

## 【 0 0 8 4 】

(実施例 5 - 3)

コア基板の導体層の厚み： $75\mu\text{m}$     コア基板の導体回路の厚み： $75\mu\text{m}$   
層間絶縁層の導体層の厚み： $15\mu\text{m}$

## 【 0 0 8 5 】

(比較例)

第 1 実施例と同じであるが、コア基板の導体層の厚み  $15\mu\text{m}$ 、電源層の導体

層の厚み  $15\ \mu\text{m}$  に設定した。

#### 【0086】

それぞれの実施例と比較例の基板に周波数  $3.1\ \text{GHz}$  の IC チップを実装して、同じ量の電源を供給して、起動させたときの電圧の低下した量を測定した。

また、それぞれの実施例と比較例のバイアス高温高湿条件 ( $130^\circ\text{C}$ 、湿度  $85\ \text{wt}\%$ 、 $2\ \text{V}$  印加) 下における信頼性試験を行った。試験時間は、 $100\ \text{hr}$ 、 $300\ \text{hr}$ 、 $500\ \text{hr}$  で行い、IC の誤動作の有無、コアの導体層のビア接続オープンの有無についてそれぞれ実施例および比較例について検証をした。この結果を図 17 中の図表に表す。

さらに、導体層の厚みについても検証を行った。横軸に (コアの電源層厚み / 層間絶縁層厚みの比) を設定し、縦軸に最大電圧降下量 (V) を設定してシュミレートした結果を図 18 に示した。

#### 【0087】

##### 【発明の効果】

本願発明により、IC チップ～基板～電源の導体における抵抗を低減させることができ、伝達損失が低減される。そのために、伝達される信号や電源が所望の能力が発揮される。そのために、IC チップの機能、動作などが正常に作動するために、誤作動やエラーを発生することがない。

また、本願発明により、IC チップの初期起動時に発生する電源不足 (電圧低下) の度合いを小さくなることもわかり、高周波領域の IC チップ、特に  $3\ \text{GHz}$  以上の IC チップを実装したとしても、問題なく起動することができることが分かった。そのため、電気的な特性や電気接続性をも向上させることができるのである。

さらに、プリント基板の回路内での抵抗を従来のプリント基板に比べても、小さくすることができる。そのために、バイアスを付加して、高温高湿下で行う信頼性試験 (高温高湿バイアス試験) を行っても、破壊する時間も長くなるので、信頼性も向上することができる。

##### 【図面の簡単な説明】

#### 【図 1】

本発明の第 1 実施例の多層プリント配線板を製造方法を示す工程図である。

【図 2】

第 1 実施例の多層プリント配線板を製造方法を示す工程図である。

【図 3】

第 1 実施例の多層プリント配線板を製造方法を示す工程図である。

【図 4】

第 1 実施例の多層プリント配線板を製造方法を示す工程図である。

【図 5】

第 1 実施例の多層プリント配線板を製造方法を示す工程図である。

【図 6】

第 1 実施例に係る多層プリント配線板の断面図である。

【図 7】

第 1 実施例に係る多層プリント配線板に I C チップを載置した状態を示す断面図である。

【図 8】

第 3 実施例に係る多層プリント配線板の断面図である。

【図 9】

第 3 実施例に係る多層プリント配線板に I C チップを載置した状態を示す断面図である。

【図 1 0】

第 4 実施例に係る多層プリント配線板の断面図である。

【図 1 1】

第 4 実施例に係る多層プリント配線板に I C チップを載置した状態を示す断面図である。

【図 1 2】

第 5 実施例に係る多層プリント配線板の断面図である。

【図 1 3】

第 5 実施例に係る多層プリント配線板に I C チップを載置した状態を示す断面図である。

【図14】

ICチップの動作中における電圧変化を示したグラフである。

【図15】

ICチップの動作中における電圧変化を示したグラフである。

【図16】

ICチップの動作中における電圧変化を示したグラフである。

【図17】

実施例と比較例との試験結果を示す図表である。

【図18】

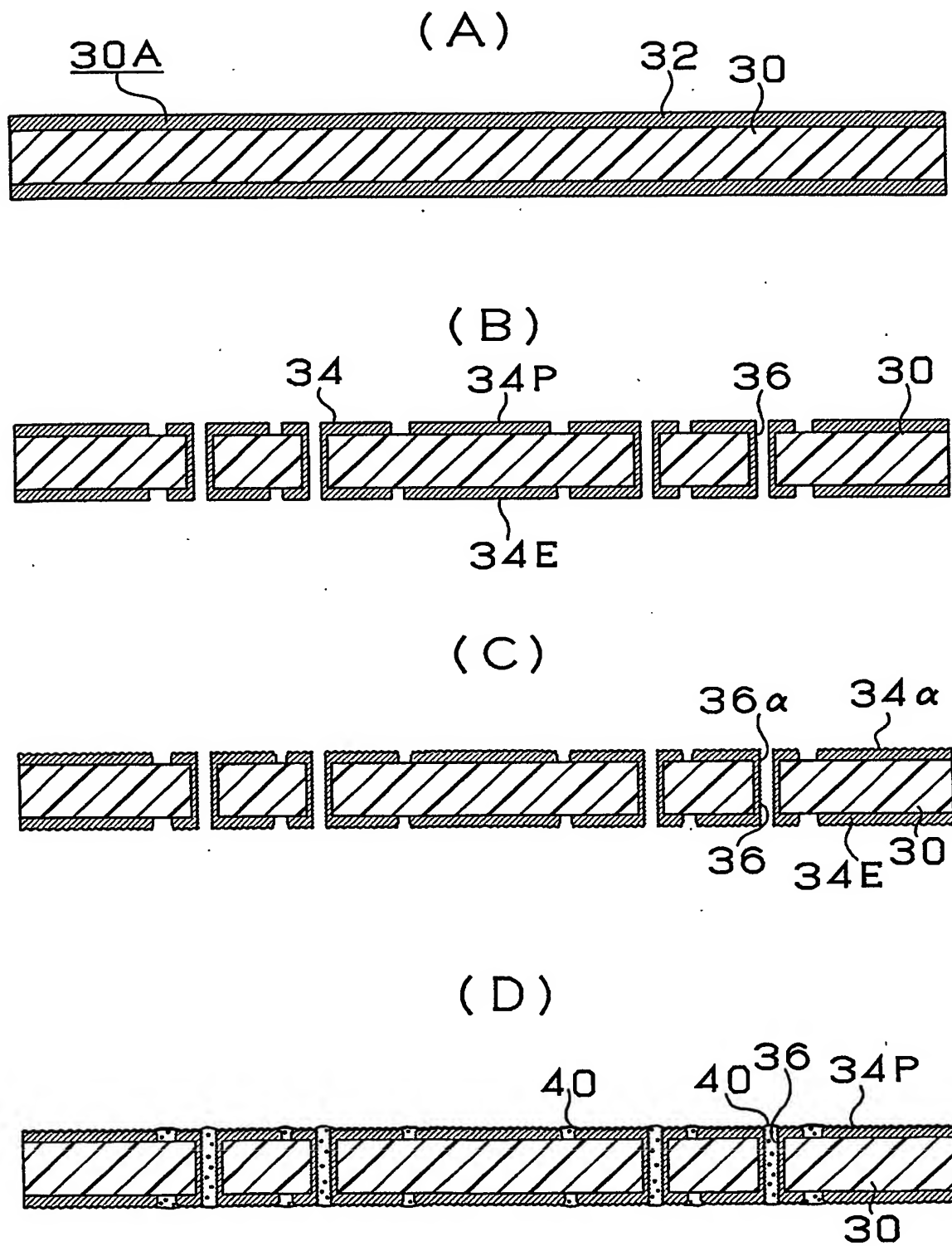
(コアの電源層厚み/層間絶縁層厚みの比) に対する最大電圧降下量 (V) をシュミレートした結果を示したグラフである。

【符号の説明】

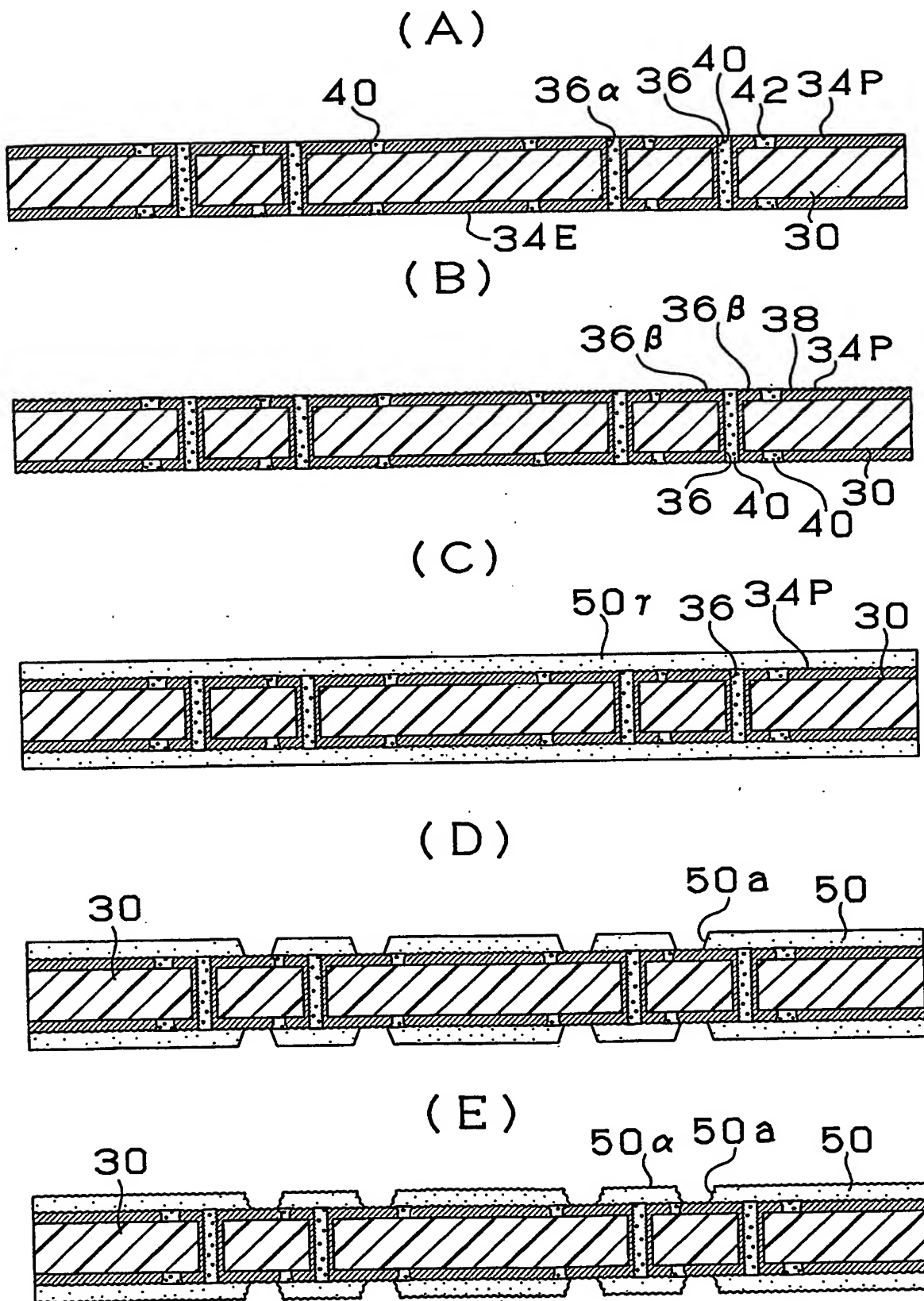
- 30 基板
- 32 銅箔
- 34 導体回路
- 34P 導体層
- 34E 導体層
- 36 スルーホール
- 40 樹脂充填層
- 50 層間樹脂絶縁層
- 58 導体回路
- 60 バイアホール
- 70 ソルダーレジスト層
- 71 開口
- 76U、76D 半田バンプ
- 90 ICチップ
- 94 ドータボード
- 98 チップコンデンサ

【書類名】 図面

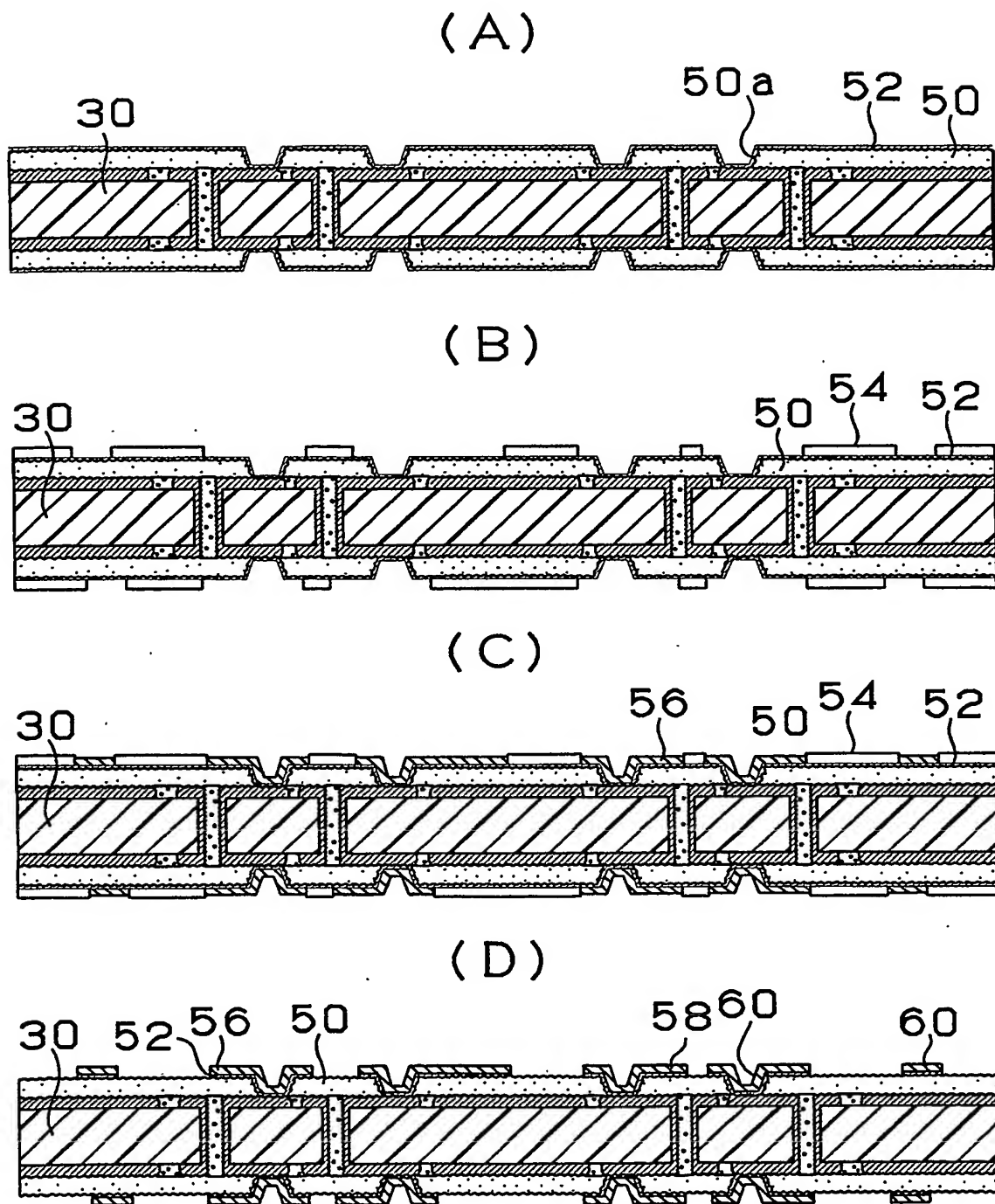
【図1】



【図 2】

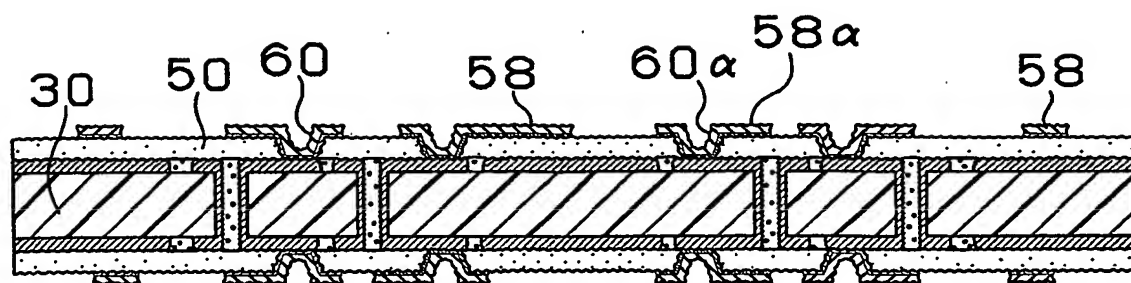


【図3】

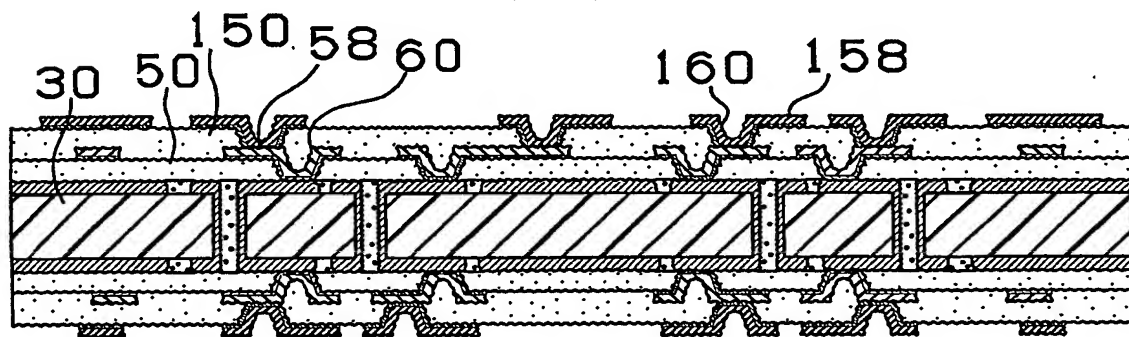


【図4】

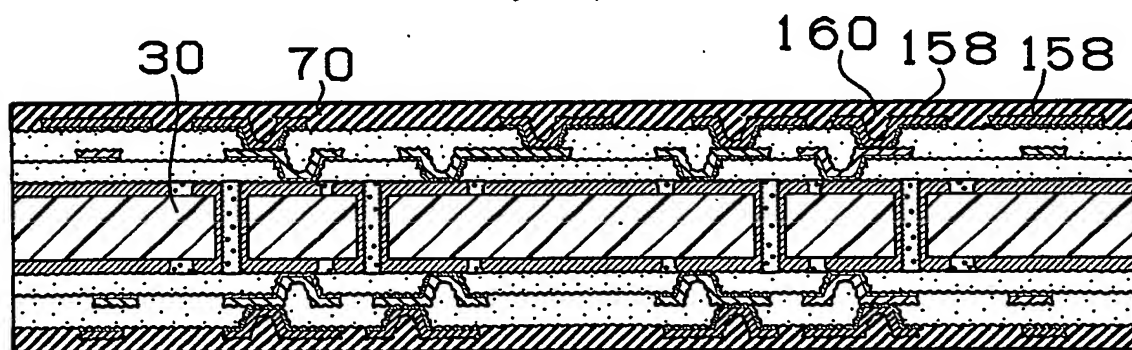
(A)



(B)



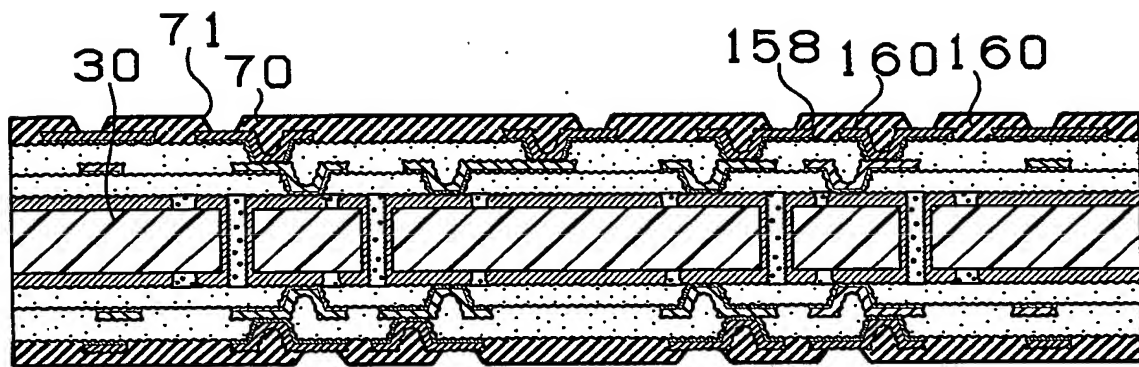
(C)



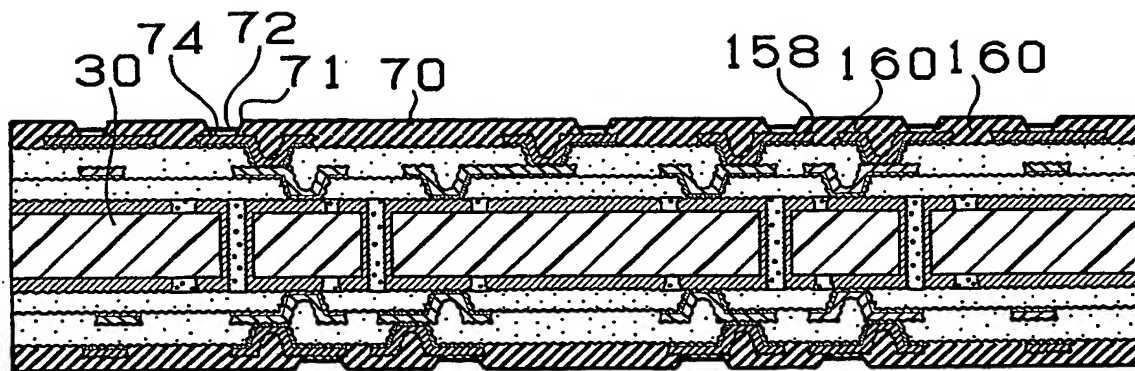


【図 5】

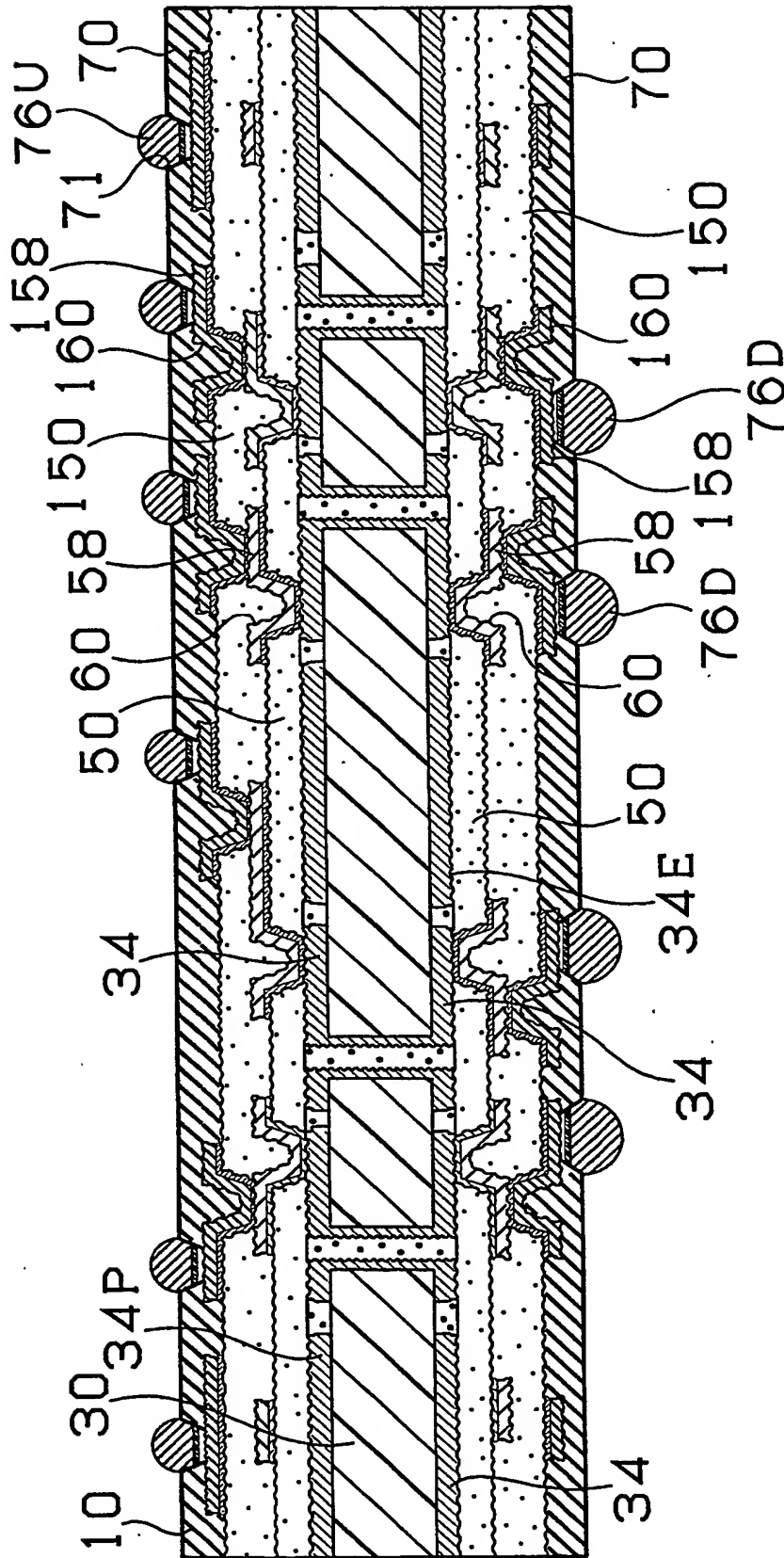
(A)



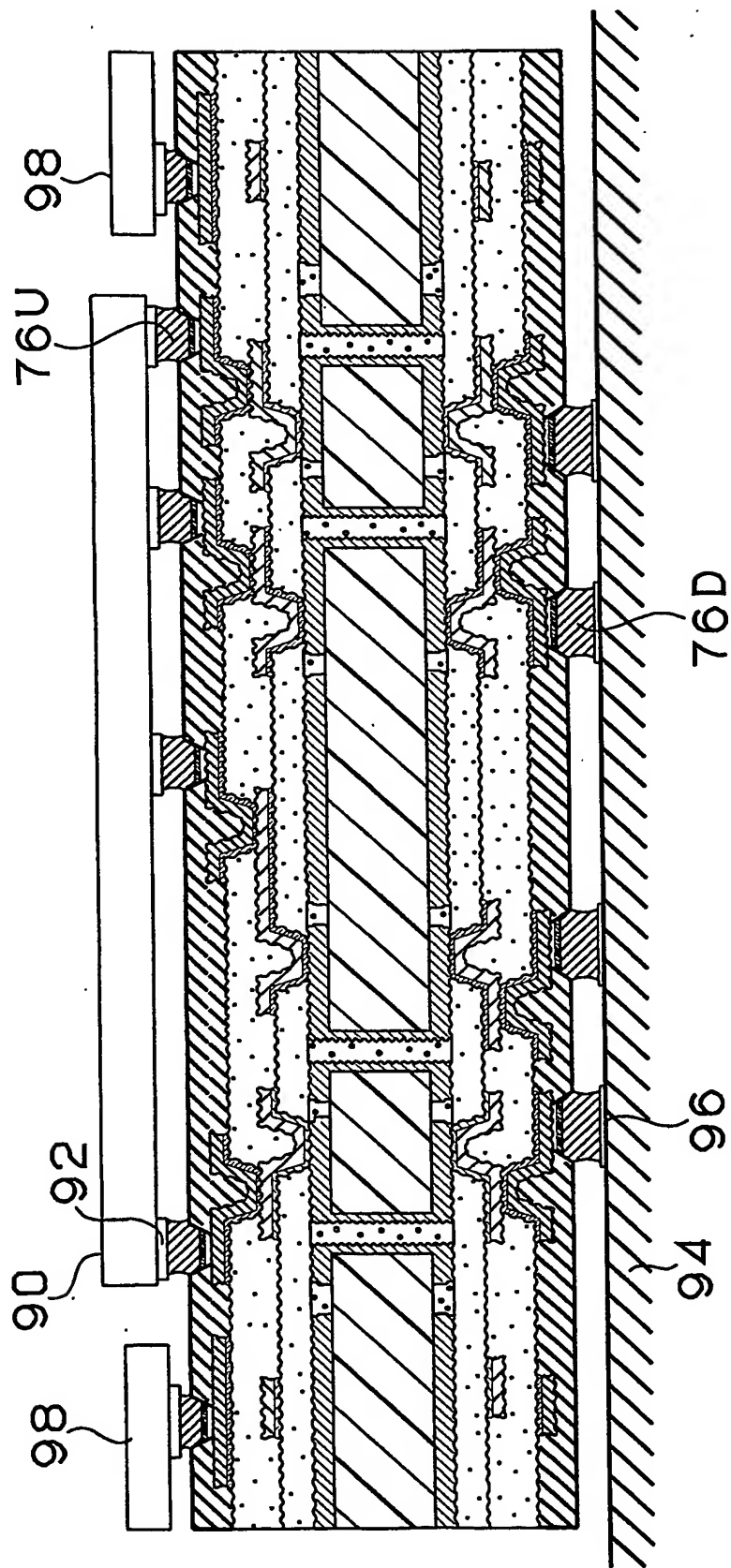
(B)



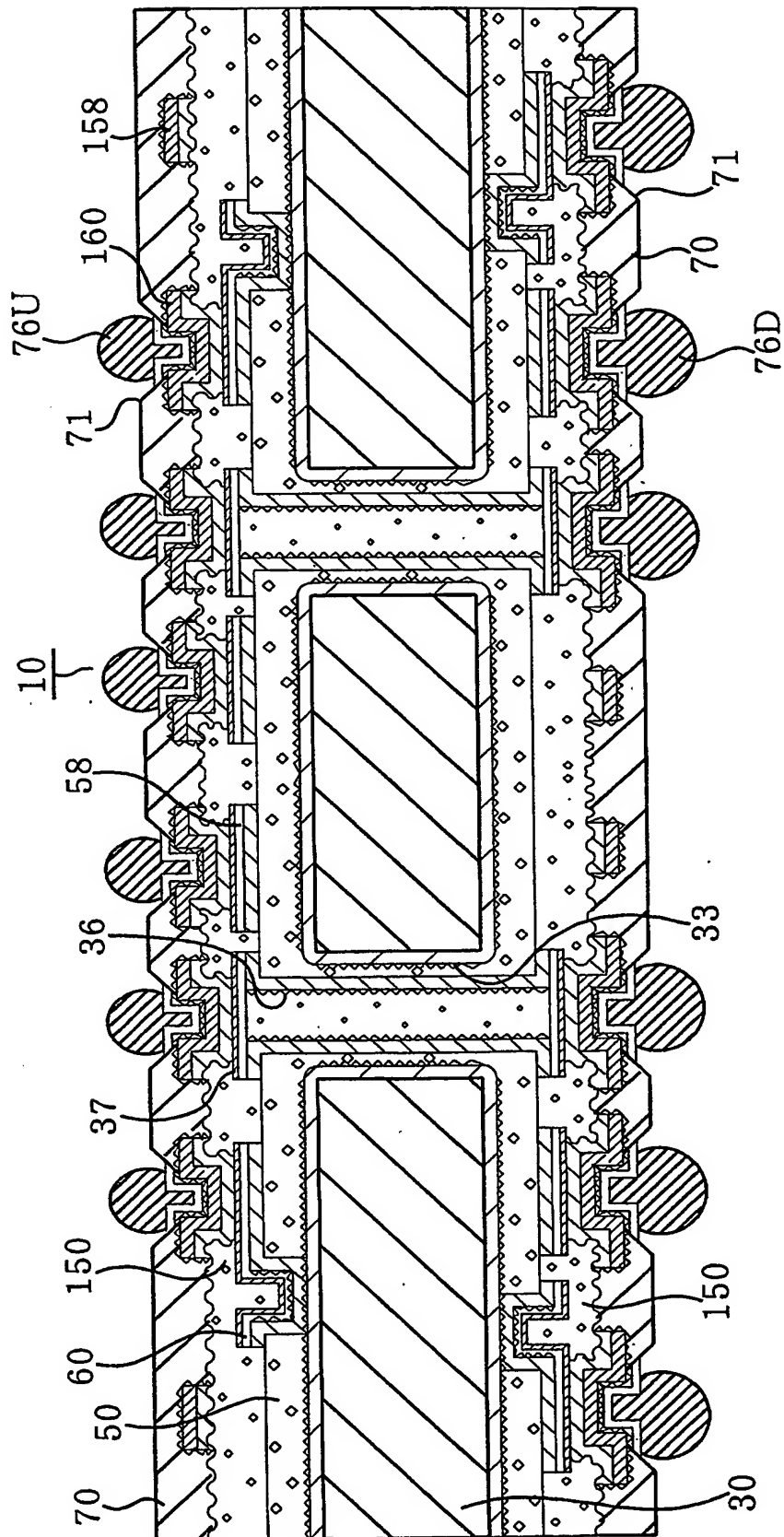
【図6】



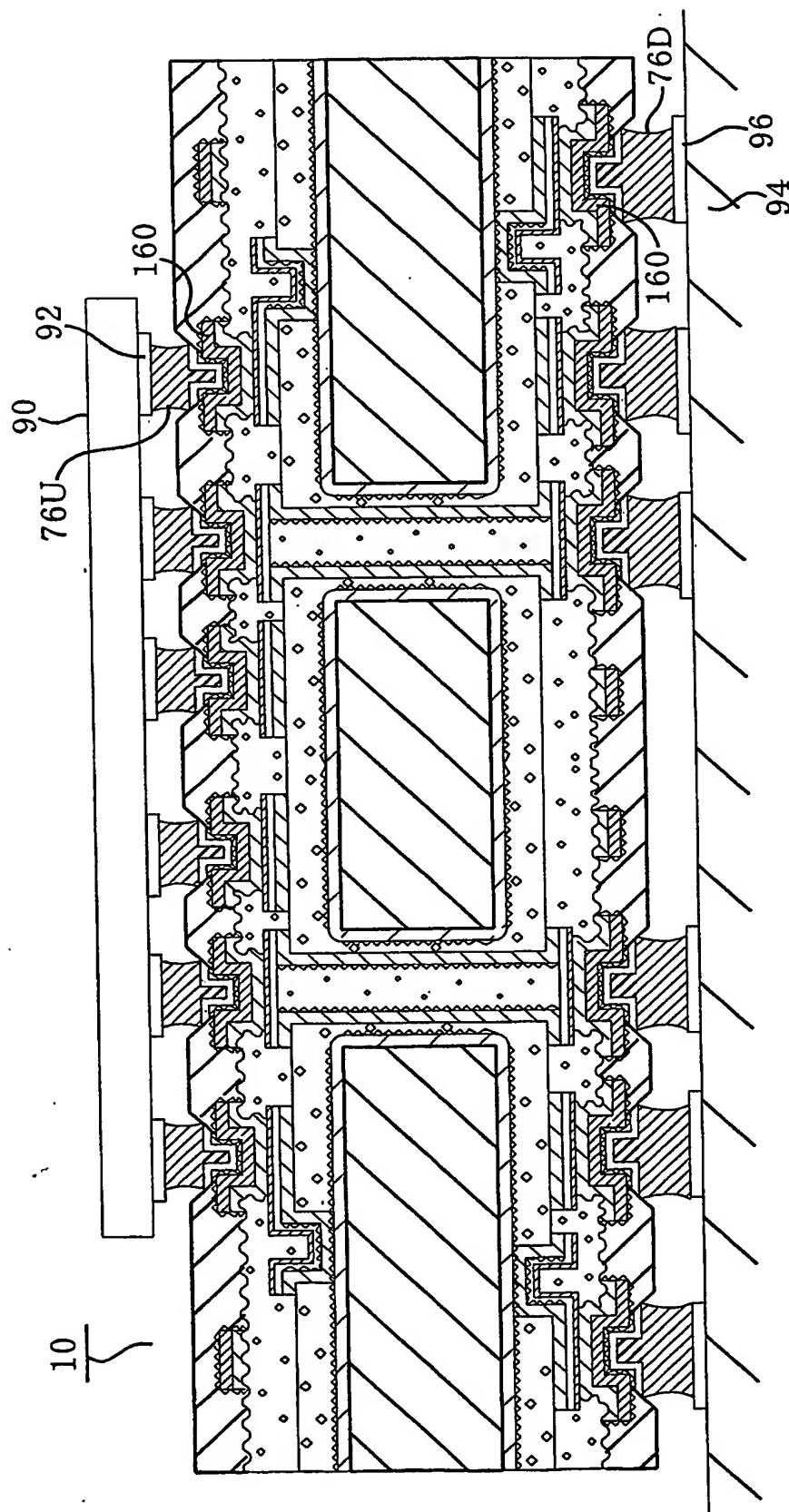
【図 7】



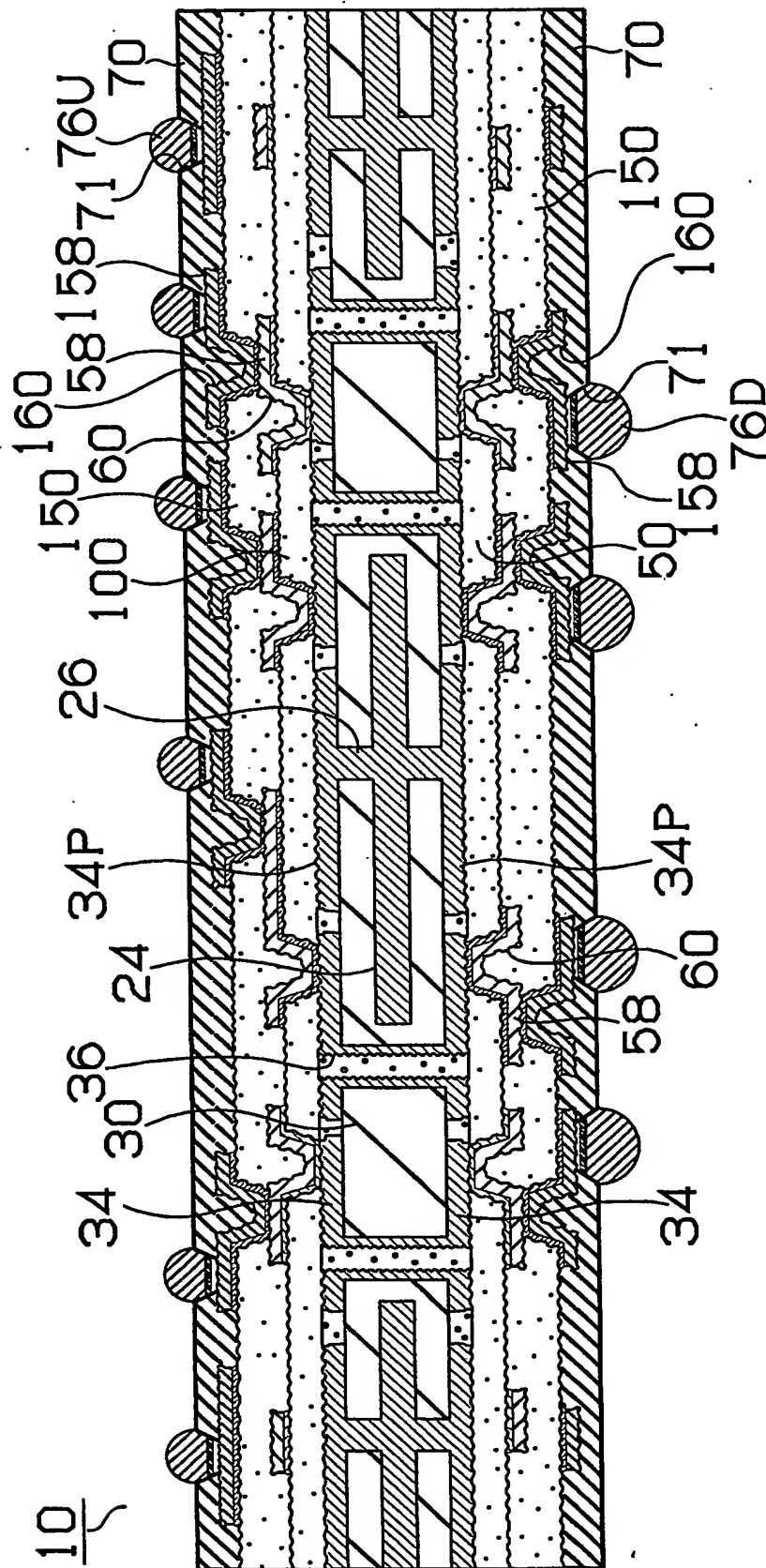
【図 8】



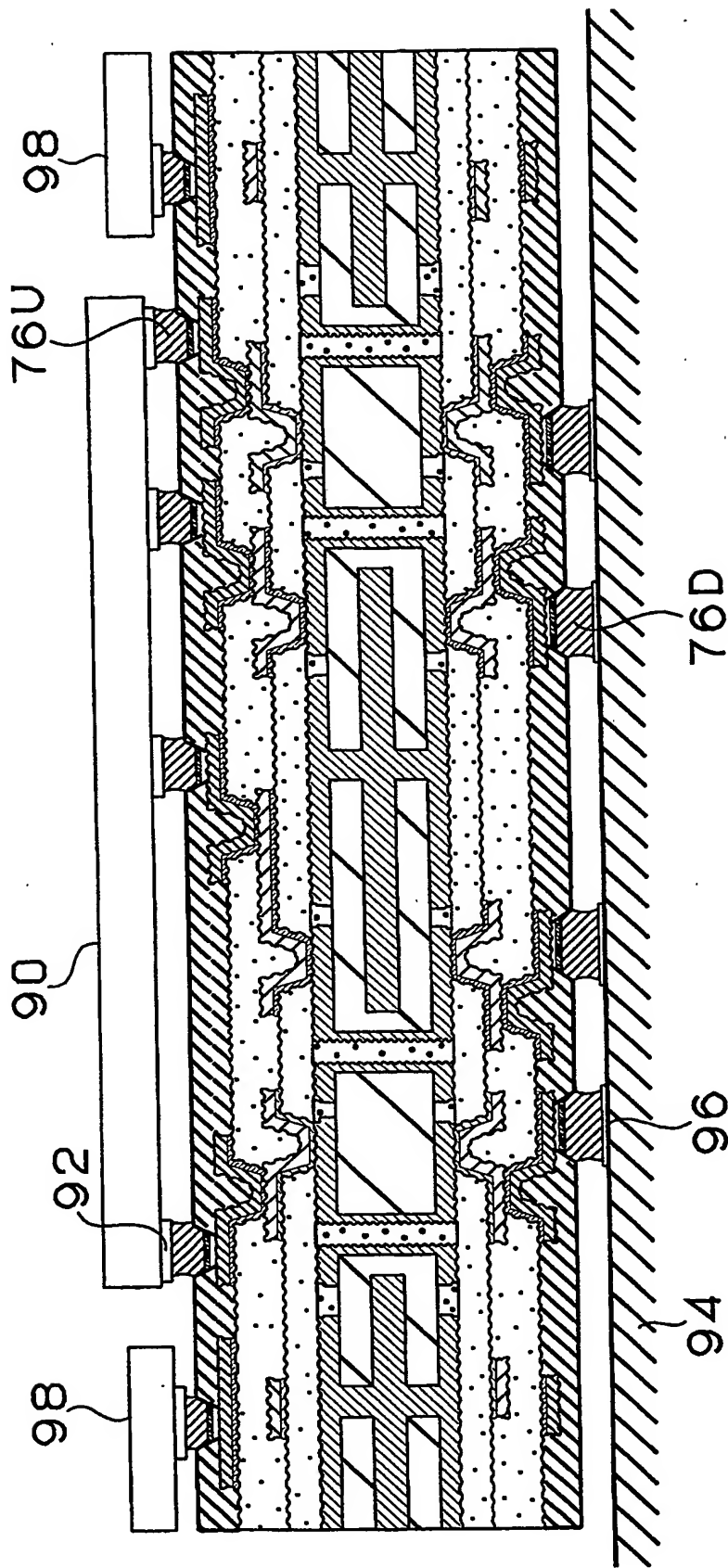
【図9】



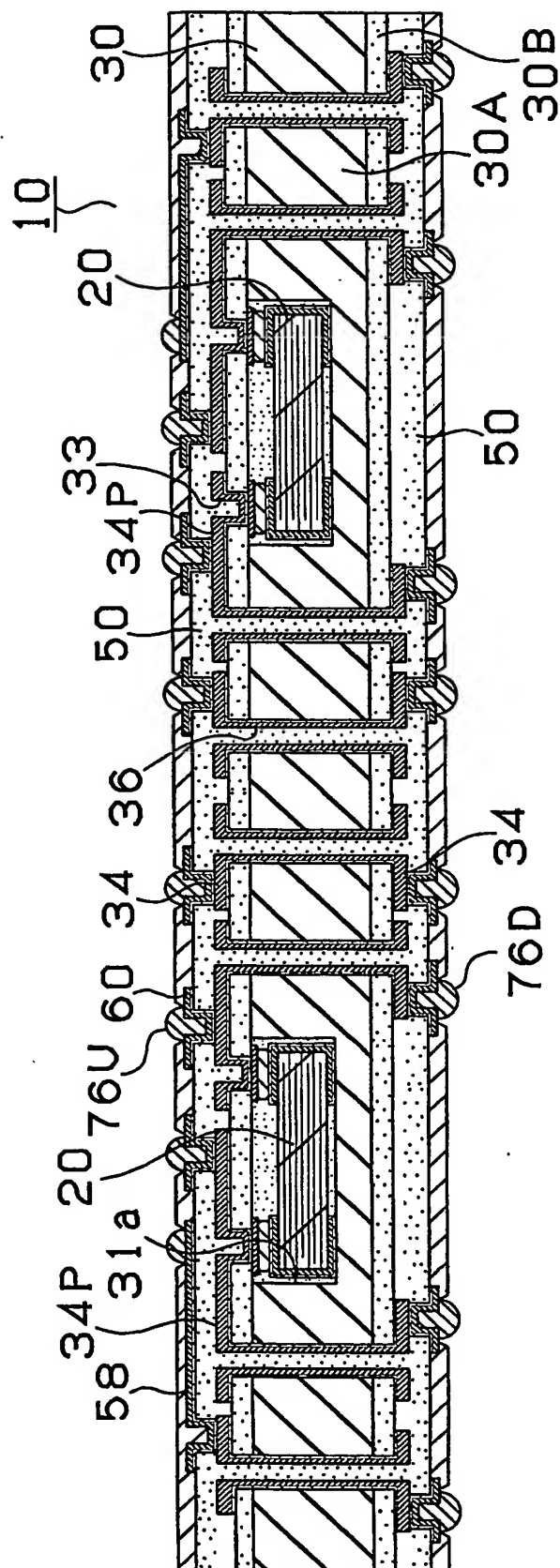
【図10】



【図11】

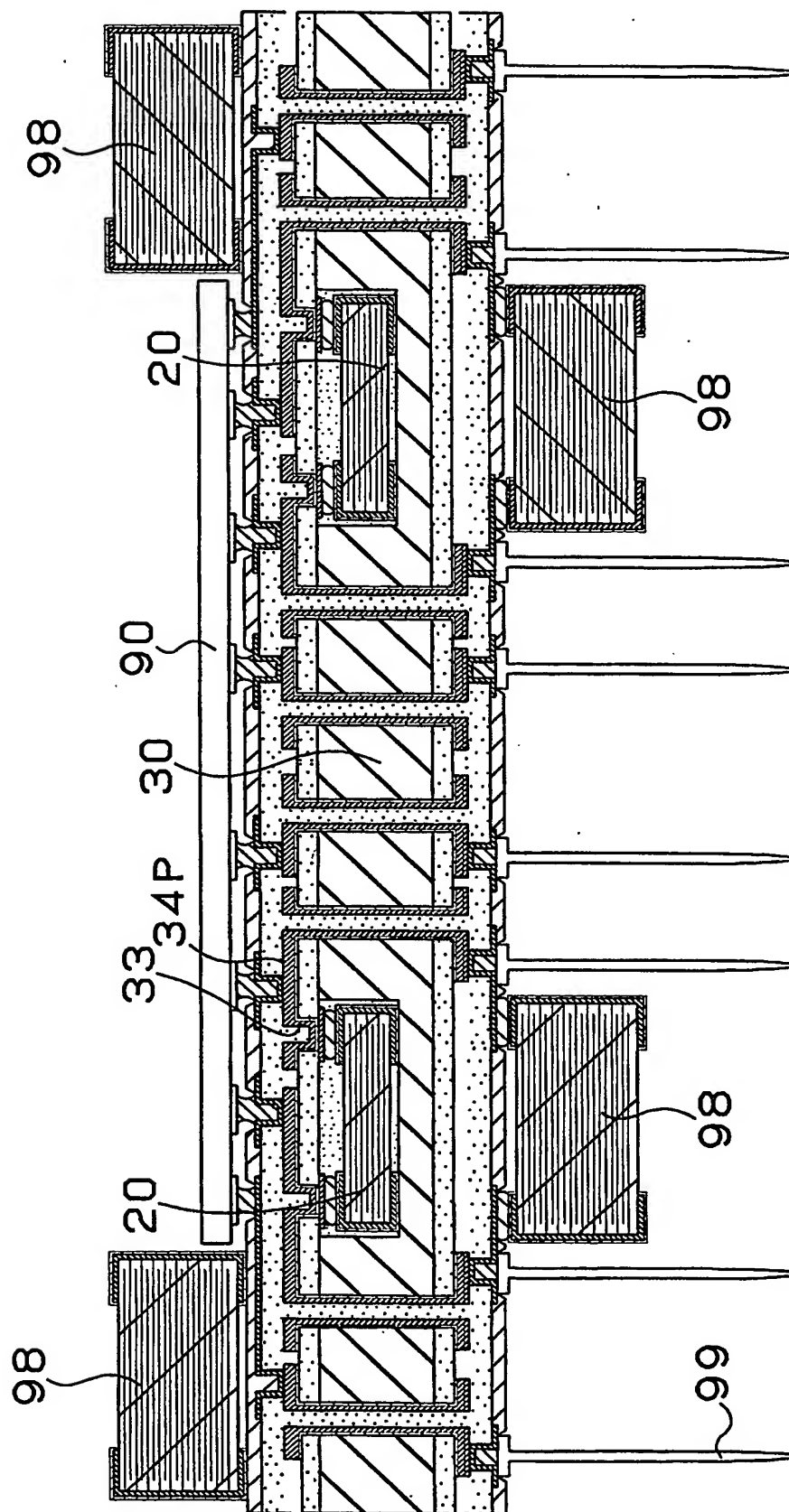


【図 12】

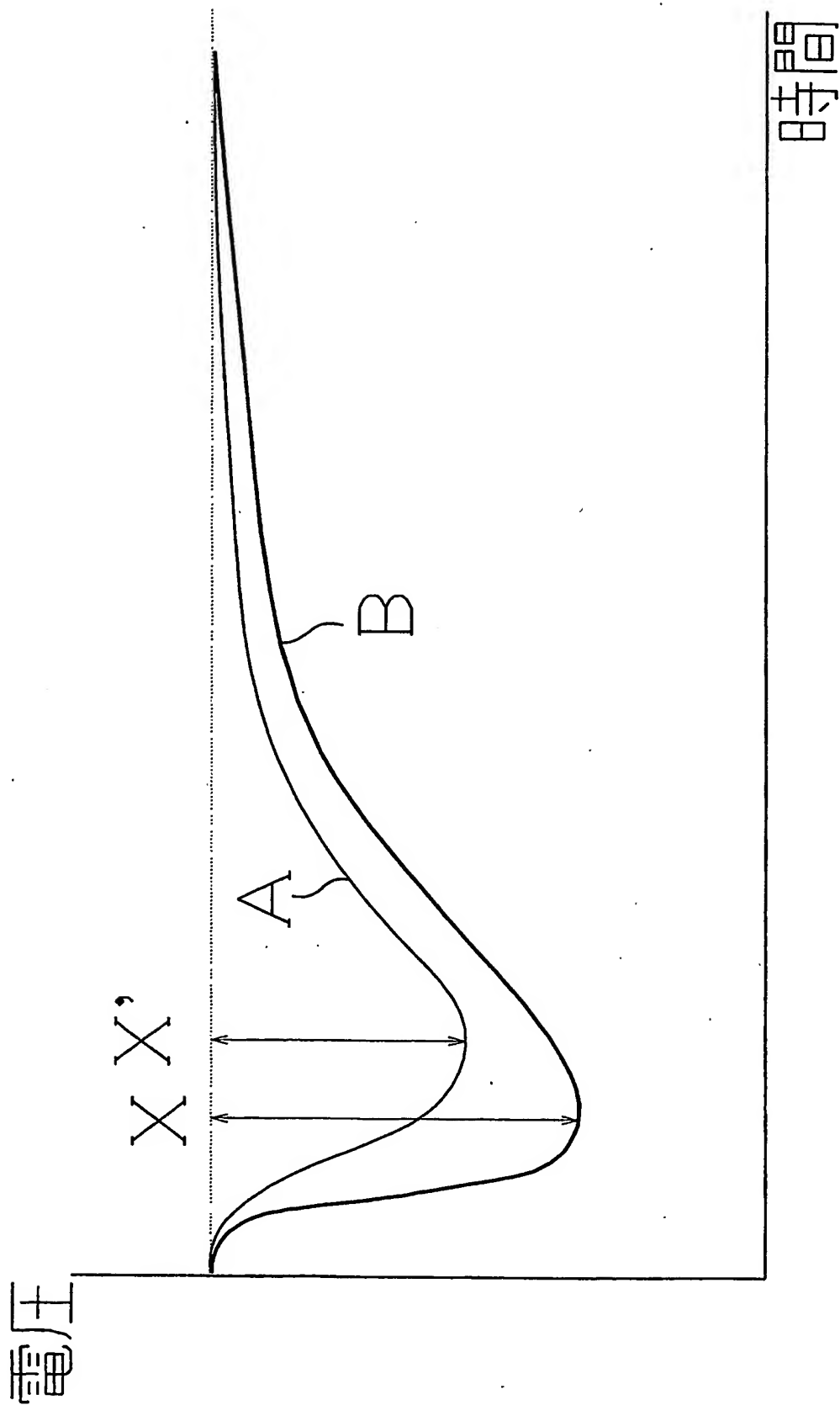




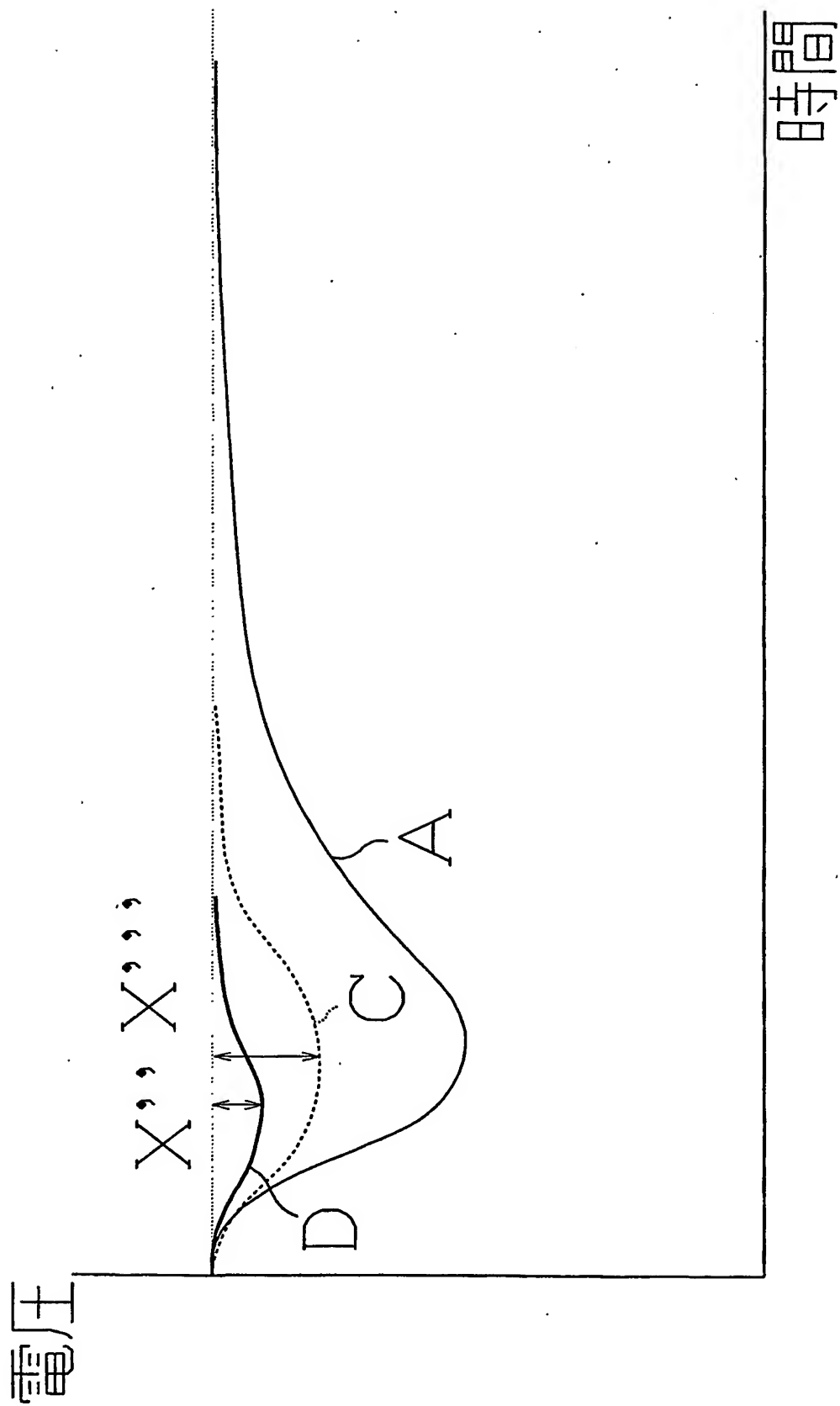
【図13】



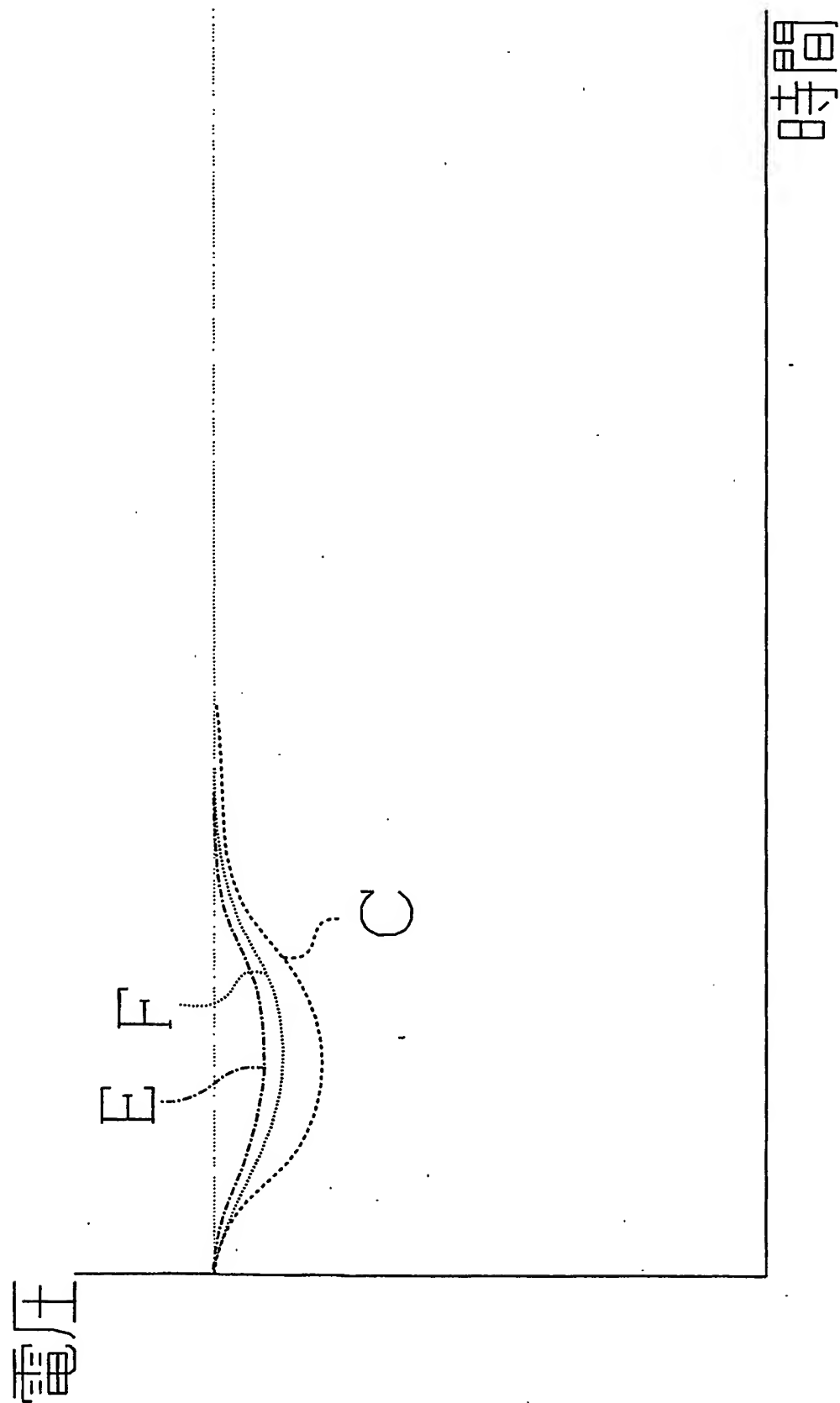
【図14】



【図15】



【図16】



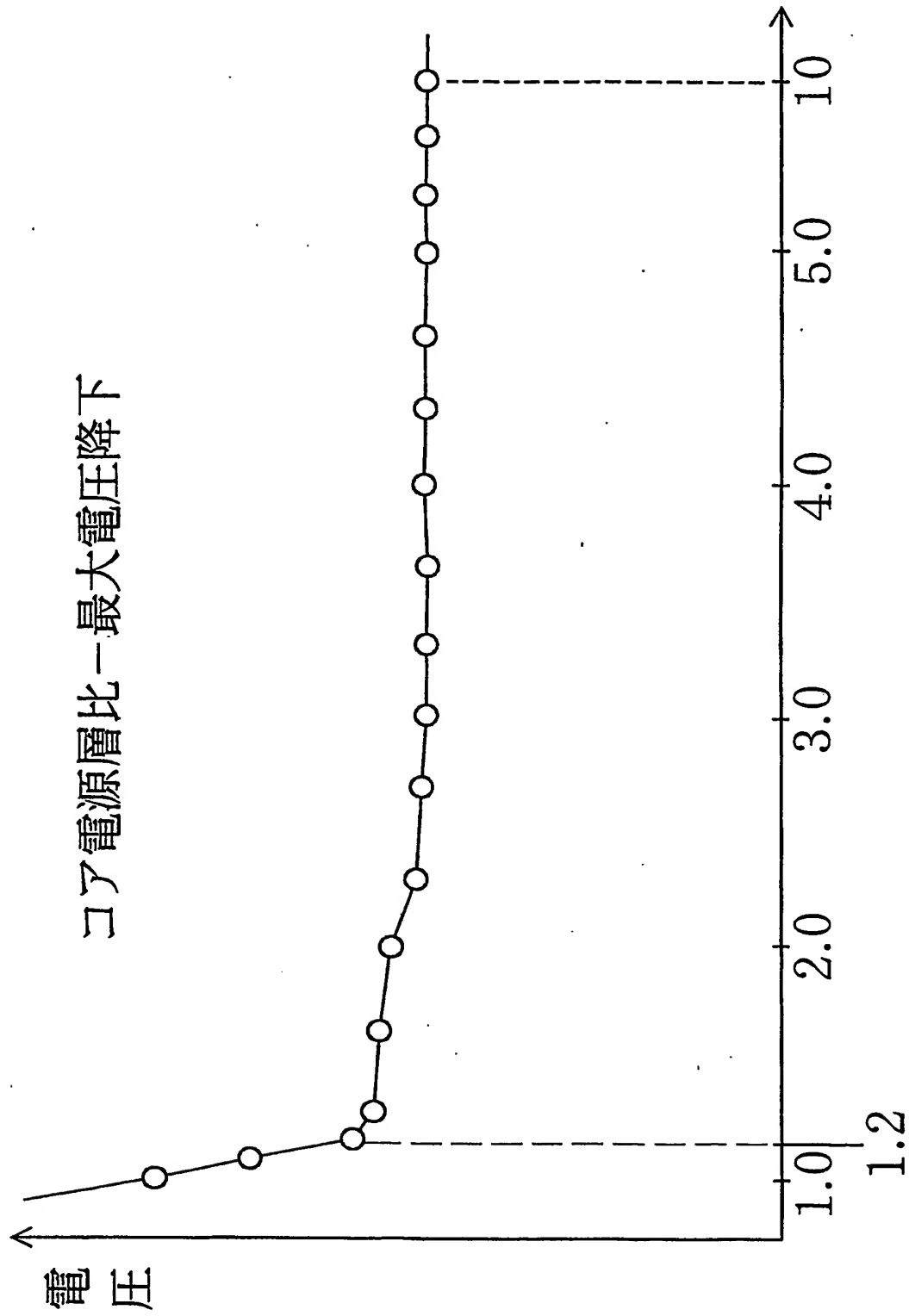
【図 17】

	100hr		300hr		500hr	
	IC誤動作 の有無	オープン の有無	IC誤動作 の有無	オープン の有無	IC誤動作 の有無	オープン の有無
実施例1-1	○	○	○	○	○	○
実施例1-2	○	○	○	○	○	○
実施例1-3	○	○	○	○	○	○
実施例2-1	○	○	○	○	○	○
実施例2-2	○	○	○	○	○	○
実施例2-3	○	○	○	○	○	○
実施例3-1	○	○	○	○	○	○
実施例3-2	○	○	○	○	○	○
実施例3-3	○	○	○	○	○	○
実施例4-1	○	○	○	○	○	○
実施例4-2	○	○	○	○	○	○
実施例4-3	○	○	○	○	○	○
実施例5-1	○	○	○	○	○	○
実施例5-2	○	○	○	○	○	○
実施例5-3	○	○	○	○	○	○
比較例	×	○	×	×	×	×

ICの誤動作 ○:無し ×:有り

オープン ○:無し ×:有り

【図 18】



【書類名】 要約書

【要約】

【課題】 高周波領域の I C チップ、特に 3 G H z を越えても誤動作やエラーの発生しないパッケージ基板を提供する。

【解決手段】 コア基板 3 0 上の導体層 3 4 P を厚さ 3 0  $\mu$  m に形成し、層間樹脂絶縁層 5 0 上の導体回路 5 8 を 1 5  $\mu$  m に形成する。導体層 3 4 P を厚くすることにより、導体自体の体積を増やすし抵抗を低減することができる。更に、導体層 3 4 を電源層として用いることで、I C チップへの電源の供給能力を向上させることができる。

【選択図】 図 6

特 2002-233775

認定・付加情報

特許出願の番号	特願2002-233775
受付番号	50201194625
書類名	特許願
担当官	第四担当上席 0093
作成日	平成14年 8月12日

<認定情報・付加情報>

【提出日】	平成14年 8月 9日
-------	-------------

次頁無



出 願 人 履 歴 情 報

識別番号 [000000158]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	岐阜県大垣市神田町2丁目1番地
氏 名	イビデン株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**